



Conception, fabrication et caractérisation de dispositifs innovants de protection contre les décharges électrostatiques en technologie FDSOI

Yohann Solaro

► To cite this version:

Yohann Solaro. Conception, fabrication et caractérisation de dispositifs innovants de protection contre les décharges électrostatiques en technologie FDSOI. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2014. Français. NNT : 2014GRENT098 . tel-01136239

HAL Id: tel-01136239

<https://theses.hal.science/tel-01136239>

Submitted on 26 Mar 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Yohann SOLARO

Thèse dirigée par **Philippe FERRARI**, **Sorin CRISTOLOVEANU**
codirigée par **Pascal FONTENAU**, **Claire FENOUILLET-BERANGER**

préparée au sein du **Laboratoire IMEP-LAHC**
dans l'**École Doctorale EEATS Electronique, Electrotechnique, Automatique et Traitement du Signal (Grenoble INP)**

Conception, fabrication et caractérisation de dispositifs innovants de protection contre les décharges électrostatiques en technologie FDSOI

Thèse soutenue publiquement le **11 décembre 2014**,
devant le jury composé de :

Mme Marise BAFLEUR

Directeur de Recherche, CNRS, Toulouse, Rapporteur

M. Thomas ZIMMER

Professeur, Université de Bordeaux I, Rapporteur

M. Alexander ZASLAVSKY

Professeur, Brown University, USA, Président du jury

M. Philippe FERRARI

Professeur, Université de Grenoble, Directeur de thèse

M. Sorin CRISTOLOVEANU

Directeur de Recherche, CNRS, Co-directeur de thèse

Mme Claire FENOUILLET-BERANGER

Docteur, HDR, CEA-Léti, Grenoble, Co-encadrante de thèse, Invitée

M. Pascal FONTENEAU

Ingénieur, STMicroelectronics, Crolles, Co-encadrant de thèse



Les anciens prétendaient que pour une question il n'existait qu'une réponse, tandis que le grand théâtre parisien lui avait offert le spectacle d'une question à laquelle on répondait de manières les plus variées. Roberto avait décidé d'accorder seulement la moitié de son esprit aux choses en quoi il croyait (ou croyait croire), pour garder l'autre disponible au cas où fût vrai le contraire.

Umberto Eco, L'Île du jour d'avant

Remerciements

Ces travaux de thèse ont été réalisés à STMicroelectronics (Crolles), en collaboration avec le laboratoire IMEP-LAHC et le CEA-Léti. Je tiens tout d'abord à remercier M. Pascal Fonteneau pour son encadrement, nos discussions quotidiennes, sa patience, son enthousiasme et ses conseils avisés. J'aimerais remercier Mme Claire Fenouillet-Béranger, M. Philippe Ferrari et M. Sorin Cristoloveanu non seulement pour la confiance qu'ils m'ont accordée, mais aussi pour leur rigueur scientifique et leur grande aide pour progresser en recherche. Cette thèse n'aurait sans doute jamais vu le jour sans cet encadrement solide, l'esprit d'équipe et la créativité régnant au sein de notre petit groupe de recherche.

J'adresse aussi mes sincères remerciements à l'ensemble des membres du jury pour l'attention qu'ils ont portée à ce travail : Mme Marise Bafleur, Directeur de Recherche au CNRS de Toulouse, M. Alexander Zaslavsky, Professeur à l'Université de Brown et M. Thomas Zimmer, Professeur à l'Université de Bordeaux I.

Il me paraît aussi important de remercier M. André Juge et M. Hervé Jaouen pour leur accueil au sein de leurs équipes de modélisation chez STMicroelectronics ainsi que pour leurs encouragements.

Ces travaux n'auraient pas été possibles sans l'aide et l'implication d'un grand nombre de personnes de STMicroelectronics et de l'IMEP-LAHC. Ainsi je tiens à

remercier Charles-Alexandre Legrand, Blaise Jacquier, David Marin Cudraz et Corinne Richier, spécialistes de la charac' ESD (ST) pour leur expertise et leur collaboration concernant les mesures ESD. Je tiens aussi à remercier les membres de l'équipe « ECR » (ST), pour les différentes formations, leur support et leur grande aide lors de mes différentes campagnes de mesures. Merci à François Dieudonné, Gaelle Beylier, Antoine Cros, Rudy Constanzi, Laurent Cazaux. Du côté du laboratoire IMEP-LAHC, merci à Nicolas Corrao et à Xavier Mescot pour leur aide concernant les caractérisations RF et DC. Retour chez STMicroelectronics, il me paraît essentiel de remercier M. Stéphane Martin ainsi que son équipe (TILT) pour leur participation au dessin de structures de test et leur support concernant les méthodologies de design. Du côté de Process Integration, j'aimerais particulièrement remercier Nicolas Planes pour ses explications précises sur le procédé de fabrication des transistors en FDSOI ainsi que Dominique Golanski pour son appui concernant les essais technologiques que nous avons réalisés. Aussi, je tiens à remercier Cecilia Mezzomo, Estelle Batail, Emilie Bernard et Raffaele Bianchini qui m'ont aidé à comprendre et appliquer les complexes règles de dessins des nœuds 28 nm et 14 nm FDSOI et à générer des « CAD2MASK ». Du côté des simulations TCAD, j'exprime ma gratitude envers Clément Tavernier, Olivier Saxod, Frédéric Monsieur et Erwan Dornel pour leur aide et leur grande compétence concernant les simulations des procédés et des dispositifs. J'aimerais de plus remercier les membres et designers d'I/O : Nicolas Guitard, Alexandre Dray, Ghislain Troussier et Alexandre Dray sans qui je n'aurais ni pu comprendre les contraintes de conceptions des protections ESD, ni m'impliquer dans l'implémentation de réels circuits d'I/O.

J'aimerais aussi remercier les membres de l'équipe « Modelling » de ST que j'ai côtoyés quotidiennement, avec qui j'ai pu partager des discussions fructueuses, et auprès de qui j'ai obtenu d'innombrables « coups de pouces »: Guillaume Bertrand, Jean Robert Manouvrier, Sylvie Ortolland, Patrick Sheer, Frédéric Dauge, Benoit Morel, Vincent Quenette, Thierry Poiroux, Matthieu Quoirin, Clement Charbuillet, Mélanie Szczap, Yannick Mourier, David Hoguet, Didier Céli et Gilles Gouget.

Il me paraît aussi essentiel de remercier les anciens thésards et les futurs docteurs que j'ai pu côtoyer, et avec qui j'ai partagé des bons moments en conférence, au labo, à ST, ou lors d'autres occasions plus ou moins festives: Carlos, Luca, Elodie, Jose, Antoine, Jonani, Hassan, Fanyu, Sung Jae, Jérôme, Mehdi, Noemie, Cheikh, Damien, Imed, Jing, Thomas, Tekfouy, Sotirios. Je leur souhaite une très bonne continuation et réussite pour la suite de leurs travaux.

Enfin, un grand merci à tous mes amis qui ont su supporter mon humeur variable durant cette période de thèse et lors de nos multiples sorties et activités en commun. Je souhaite aussi remercier tous les potes avec qui j'ai pu débrancher le mode « thèse » et travailler sur des projets musicaux (de près comme de loin) ces dernières années.

Et enfin, Merci (avec un grand M) à ma famille, mes parents, mes frères, belles sœurs et les petits, ma grand-mère (désolé mamie, même comme docteur, tu ne pourras pas m'appeler pour des soins) pour avoir supporté mes râleries, et m'avoir toujours encouragé et apporté leur soutien.

Glossaire

BOX : « Buried Oxyde » Oxyde enterré permettant l'isolation verticale des transistors par rapport au substrat dans une technologie SOI

CDM : «Charged Device Model » Modèle de décharge du composant lui-même chargé

CMOS : « Complementary Metal Oxyde Semiconductor » Technologie employant des transistors MOS complémentaires (NMOS et PMOS)

EOT : « Equivalent Oxide Thickness » Epaisseur d'oxyde de silicium (SiO_2) équivalente pour obtenir une capacité identique à celle mesurée avec un autre matériaux diélectrique (High-K par exemple)

ESD : « Electro Static Discharge » Décharge Electro-Statique

FDSOI : « Fully Depleted Silicon on Insulator » Technologie Silicium sur isolant totalement Désertée

GGNMOS : « Grounded Gate NMOS » Transistor MOS de type N dont la grille est reliée à la masse

HBM : « Human Body Model » modèle de décharge du corps humain sur le composant

LDD : « Lightly Doped Drain » Zones faiblement dopées placées à proximité des sources et drains

MM : modèle de décharge à travers une machine (Machine Model)

MOSFET : « Metal Oxide Semiconductor Field Effect Transistor » Transistor à Effet de Champs, dont la grille est isolée par un diélectrique (oxyde).

PDSOI : « Partially Depleted Silicon on Insulator » Technologie Silicium sur isolant partiellement Désertée

SCR : « Silicon Controlled Rectifier » Thyristor

SOI : « Silicon On Insulator » Silicium sur Isolant

STI : «Shallow Trench Isolation » Tranchée d'isolation permettant d'isoler latéralement les zones actives de silicium les unes des autres.

TCAD : « Technology Computer Aided Design » Outils de conception et de simulation des procédés technologiques et des dispositifs assistés par ordinateur.

TLP : « Transmission Line Pulse » méthode de mesure employant une impulsion carée générée en chargeant une ligne de transmission.

UTBB : « Ultra-Thin Body and BOX » Une technologie Silicium sur Isolant UTBB emploie des épaisseurs extrêmement mince pour le film de silicium (inférieur à 10 nm) et l'oxyde enterré (inférieur à 30 nm)

VF-TCS : « Very Fast Transient Characterization System » Technique de Caractérisation disposant, permettant de mesurer les signaux transitoires très rapides (de l'ordre de la nanoseconde)

WELL : « Caisson » ou zone dopée généralement obtenue par implantation ionique, de type P ou N.

Table des matières

Remerciements	1
Introduction.....	10
Bibliographie	12
Chapitre 1 Etat de l'art des technologies SOI et des protections ESD.....	13
1.1. Pourquoi utiliser le Silicium sur Isolant dans les technologies CMOS avancées?..	14
1.1.1. Le Transistor MOSFET, en technologie « Bulk », son évolution et ses limites	14
1.1.2. Amélioration des performances du MOSFET grâce à l'architecture UTBB...	17
1.2. Principe des protections ESD	27
1.2.1. La problématique ESD	27
1.2.2. Modèles de décharge	33
1.2.3. Stratégies de conception de protections à l'échelle du circuit.....	37
1.2.4. Composants élémentaires couramment utilisés comme protection dans les technologies CMOS.....	39
1.2.5. Méthodes de caractérisation spécifiques aux protections ESD	46
1.3. Conclusion	48
1.4. Bibliographie	49
Chapitre 2 Revue des dispositifs ESD en SOI.....	56
2.1. Le portage des approches « standards »	57
2.2. L'approche industrielle : Hybridation du substrat	59
2.2.1. Diode « Under the BOX »	60

2.3. Solutions « innovantes »	62
2.3.1. Résistance à Effet de Champ (FER)	62
2.3.2. Diode à Effet de Champ (FED)	64
2.3.3. FED avec caissons (DWFED)	67
2.3.4. Thyristor Latéral (LSCR)	69
2.3.5. TRIAC	72
2.4. Conclusions	74
2.5. Bibliographie	75
Chapitre 3 Un nouveau dispositif de protection : le Z ² -FET	81
3.1. Fabrication du dispositif	82
3.1.1. Technologie 28 nm FDSOI.....	82
3.1.2. Technologie 14 nm FDSOI.....	84
3.2. Principe de fonctionnement	85
3.2.1. Déclenchement de la structure	85
3.2.2. Impact des polarisations de grille avant et arrière	87
3.2.3. Caractéristiques statiques I-V mesurées	90
3.2.4. Modélisation	92
3.3. Comparaisons avec d'autres types de diodes.....	95
3.3.1. Comparaison avec la « gated-diode »	95
3.3.2. Comparaison avec la « FED »	96
3.4. Optimisation de l'architecture du dispositif : simulation et mesure	97
3.4.1. Impact des épaisseurs de silicium et d'oxyde enterré.....	97
3.4.2. Impact des longueurs L _G et L _{int}	100
3.4.3. Impact de la durée de vie des porteurs.....	101
3.4.4. Optimisation du dopage dans la zone L _{int}	103
3.4.5. Comportement en température du Z ² -FET optimisé	106
3.5. Analyse du comportement transitoire du Z ² -FET.....	108
3.6. Conclusions	112
3.7. Bibliographie	113
Chapitre 4 Un nouveau dispositif de protection : BBC-T	117
4.1. Description et fabrication de la structure.....	118
4.1.1. Technologie 28 nm FDSOI.....	118
4.1.2. Technologie 14 nm FDSOI.....	120

4.2. Principe de fonctionnement	121
4.3. Couplage capacitif sur la grille arrière.....	123
4.3.1. Effet MOS « face arrière ».....	123
4.3.2. Contrôle du déclenchement et de la fuite du BBC-T.....	126
4.4. Influence des longueurs de base L_N et L_P	130
4.5. Influence des dopages de bases N_A et N_D	133
4.6. Analyse du comportement transitoire du BBC-T	137
4.7. Comportement en température	140
4.8. Vers un Thyristor non dopé, contrôlé par deux grilles arrières	141
4.9 Conclusions.....	146
4.9. Références.....	147
Conclusions	150
Publications de l'auteur	155

Introduction

Les décharges électrostatiques (ESD) sont une cause majeure de défaillance des circuits intégrés. Les conséquences économiques peuvent être dommageables pour tout acteur de l'industrie microélectronique puisque la fiabilité ainsi que le rendement des composants et des systèmes peuvent être affectés. D'une part, un nombre important de retours clients liés aux ESD est constaté, des études menées au cours des années 80' et 90' [Russ 1999], [Semenov 2008] ont permis d'observer qu'entre 30% et 70% des causes de défauts constatés par les clients sont liées aux ESD. D'autre part, la mise en place de méthodologies pour s'en protéger peut s'avérer très couteuse.

Il apparaît donc nécessaire d'approfondir notre connaissance sur les causes et les effets de ces décharges. Dans ce but, l'ESDA (ESD Association) a été fondée et regroupe, depuis les années 70', un consortium d'industriels et de chercheurs dans le but de définir des normes, de partager les développements récents et d'établir des feuilles de route en termes d'ESD, et surtout de protections. Ainsi, différentes sources de décharges ont été clairement identifiées et associées à différents modèles considérés comme standards. Celles-ci peuvent apparaître durant tout le cycle de vie du circuit, de la fabrication à l'utilisation. Par exemple, le corps humain peut être la source d'une ESD, lors du contact avec le plot d'un composant ; à ce type d'évènement correspond une norme, une méthodologie de test, ainsi qu'un modèle de décharge (HBM : « Human Body Model »).

Parallèlement, les applications de plus en plus exigeantes imposent l'augmentation des performances des circuits intégrés, ainsi que leur miniaturisation. Ceci est permis grâce aux évolutions technologiques. Pour les fabricants de composants, cela correspond à des défis de plus en plus difficiles à relever du point de vue de la physique des transistors, éléments de base de tout circuit logique. A partir de la technologie 28 nm, une solution apportée, afin de poursuivre la réduction d'échelle et donc la loi de Moore, est de modifier l'architecture de ce transistor, en l'isolant totalement de son substrat par un oxyde enterré mince (BOX) de quelques dizaines de nanomètres d'épaisseur, et en le fabriquant dans une couche de silicium active extrêmement mince, de moins de dix nanomètres. On parle alors de technologie FDSOI (pour « Fully Depleted Silicon on Insulator » : silicium sur isolant totalement déserté). Dans des travaux précédents, il a été montré que la sensibilité aux ESD de ces technologies avancées se révèle élevée et que la conception d'éléments de protection efficaces est plus complexe. **Les stratégies traditionnelles ne sont plus nécessairement les plus pertinentes.**

Dans ce contexte, il s'avère nécessaire de développer de nouvelles approches. Dans nos travaux, nous proposons des dispositifs de protection innovants et performants, construits dans le film FDSOI. Ils profitent notamment de l'avantage décisif de l'isolation totale fournie par le BOX, ainsi que du fort contrôle électrostatique permis par cette architecture. Dans ce manuscrit, leur viabilité sera analysée par le biais de simulations et de caractérisations électriques, et nous détaillerons les différents leviers permettant d'optimiser leur comportement.

Le **premier chapitre** permet au lecteur de situer le contexte global de cette étude. Les plateformes technologiques sur lesquelles se basent ces travaux, ainsi que leurs avantages, sont d'abord présentées. Nous détaillons ensuite les différents modèles de décharges utilisés pour reproduire les événements destructeurs que constituent les ESD. Finalement, les dispositifs de protection élémentaires traditionnellement utilisés dans les circuits intégrés afin de se prémunir contre ces décharges sont décrits.

Le **second chapitre** constitue un état de l'art des protections ESD spécifiquement dédiées aux technologies Silicium sur Isolant. En premier lieu, le portage des approches

traditionnelles sur les substrats SOI est analysé. Ensuite, différentes stratégies innovantes provenant de la littérature sont détaillées.

Dans le **troisième chapitre**, nous nous penchons sur la conception, la fabrication et l'optimisation d'un nouveau composant de protection : le Z²-FET. Celui-ci est spécifiquement implémenté dans le film SOI et montre d'excellentes performances. Ses caractéristiques sont optimisées sur la base de simulations et son comportement statique, quasi-statique et transitoire est analysé grâce à des caractérisations électriques.

Enfin, dans le **dernier chapitre**, un autre élément de protection innovant est décrit : le BBC-T. Ce dernier est fabriqué à partir du procédé FDSOI et bénéficie pleinement de ses particularités, à savoir le BOX mince et le type de plan de masse associé. L'impact des différents paramètres de conception est revu en détail à l'aide de caractérisations électriques. Ceci nous permet de mettre en avant que le BBC-T dispose d'excellentes performances transitoires et que son fonctionnement tire pleinement parti du couplage capacitif à travers l'oxyde enterré.

Bibliographie

- | | |
|----------------|--|
| [Russ 1999] | C. Russ, "ESD Protection Devices for CMOS Technologies: Processing Impact, Modeling and Testing Issues," Shaker Verlag, 1999. |
| [Semenov 2008] | O. Semenov, H. Sarbishaei, and M. Sachdev, ESD Protection Device and Circuit Design for Advanced CMOS Technologies, 1st ed. Springer Publishing Company, Incorporated, 2008. |

Chapitre 1

Etat de l’art des technologies SOI et des protections ESD

Dans ce chapitre, nous introduisons le contexte des études menées durant ces 3 années de thèse. En préambule, le dispositif clé de l’industrie micro-électronique, le transistor MOS à Effet de Champ (MOSFET), sera brièvement présenté. Une introduction aux technologies Silicium sur Isolant (SOI) sera ensuite menée, dans laquelle nous verrons les apports de telles architectures. Enfin, nous nous pencherons sur le principe des protections vis-à-vis des décharges électrostatiques (ESD pour « Electro Static Discharge »), les problématiques associées, ainsi que les solutions classiques mises en œuvre pour pallier les évènements ESD.

1.1. Pourquoi utiliser le Silicium sur Isolant dans les technologies CMOS avancées?

1.1.1. Le Transistor MOSFET, en technologie « Bulk », son évolution et ses limites

Le transistor MOS (Metal-Oxide-Semiconductor) est l'élément central des progrès technologiques modernes entraînant la miniaturisation des systèmes d'information. Les puces actuelles peuvent contenir jusqu'à plusieurs centaines de millions, voire quelques milliards de transistors. La course aux dimensions extrêmement faibles permet de satisfaire la loi empirique de Gordon Moore, co-fondateur d'INTEL : « Le nombre de transistors sur une puce de silicium double tous les deux ans ». Elle permet l'augmentation de la densité des circuits intégrés (Figure 1.1) ainsi que l'augmentation de leur rapidité, comme nous allons le voir plus loin.

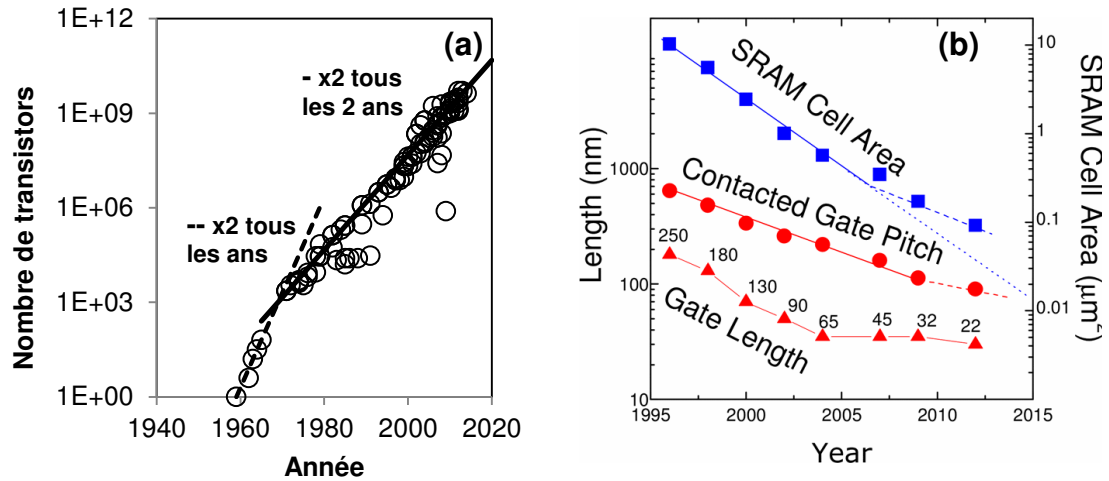


Figure 1.1 : (a) Nombre de transistors par puce, de 1960 à nos jours. Données correspondant à des puces commercialisées, d'après [AMD 2014], [IBM corporation 2014], [Intel corporation 2014], [Moore 2006]. (b) Réduction des dimensions (longueur de grille, espacement des contacts et taille d'une cellule mémoire SRAM) de 1996 à 2012, d'après [Khakifirooz 2012].

Le transistor MOS [Sze 1981], [Tsividis 1999] est une structure permettant le contrôle d'un canal de porteurs (trous ou électrons) par un champ électrique transverse créé par la grille (Figure 1.2). La densité de trous ou d'électrons est ainsi modulée par la grille grâce au changement du potentiel dans le semi-conducteur. On parle alors d'effet de champ. De part et d'autre du canal, se trouvent les régions Source et Drain qui agissent comme réservoir de porteurs et sont reliées par le canal. On parle d'état passant ($V_{GS} \geq V_{th}$ dans le cas d'un MOSFET de type N) lorsque le canal est formé, une faible résistivité est alors observée et un courant peut circuler depuis la source vers le drain (dépendant de la tension V_{DS}). Par ailleurs, on parle d'état bloqué lorsque la tension de grille est faible, aucun courant ne circule (à l'exception de courants de fuite). Idéalement, le transistor MOSFET se comporte donc comme un interrupteur pouvant changer d'état en fonction de V_{GS} .

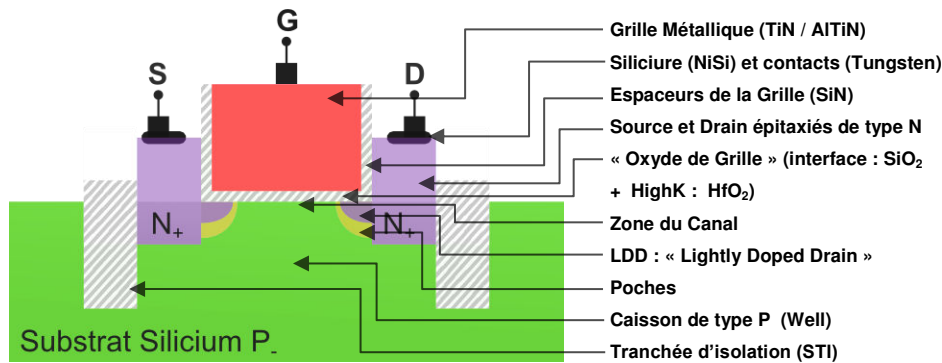


Figure 1.2 : Vue en coupe du transistor N-MOSFET sur silicium massif (« Bulk ») pour une technologie type 28 nm.

Cependant, le comportement du transistor MOS réel est loin d'être idéal et de nouveaux défis sont apparus avec la diminution de ses dimensions, occasionnant des changements technologiques. La grille, classiquement réalisée en silicium poly-cristallin, est remplacée par une grille métallique afin d'empêcher la déplétion de la grille, augmentant le CET (« Capacitive Equivalent Thickness », épaisseur électrique d'une capacité équivalente entre la grille et le canal, avec la permittivité du SiO_2 : 3,9) [Park 2009]. L'isolant de grille est désormais composé de matériaux à forte permittivité (High-K : $\epsilon_R > 20$) tels que l'oxyde d'hafnium (HfO_2), en plus d'une fine couche de SiO_2 à l'interface oxyde-canal. L'emploi de matériaux à forte permittivité diélectrique permet d'augmenter la capacité de grille, sans en diminuer trop l'épaisseur (ce qui se ferait au détriment de la fuite de grille). Différentes implantations sous la grille ont été introduites:

- Des implants du même type que le canal pour empêcher le « perçage » et ajuster la tension de seuil V_{th} du transistor [Hu 2010].
- Des implants faiblement dopés, de type opposé et situés proches des source et drain (LDD pour « Lightly Doped Drain ») permettant de limiter le champ électrique latéral afin de diminuer les effets de porteurs chauds (voir partie 1.2.1.1), l'avalanche à fort V_{DS} [Vinson 2000] et les effets de canaux courts (voir partie 1.1.2.2) [Liu 1993].

D'autre part, une épitaxie permettant de surélever les régions source et drain [Packan 2009] est introduite. Pour poursuivre la miniaturisation des transistors, comme

nous l'avons vu, il a été nécessaire d'ajouter de nombreux éléments à sa structure de base. Cependant, afin de garantir des performances acceptables (fort courant à l'état passant, faible fuite), de nouvelles architectures sont désormais introduites dans l'industrie de la microélectronique.

1.1.2. Amélioration des performances du MOSFET grâce à l'architecture UTBB

1.1.2.1. Présentation du transistor FDSOI

Les différentes solutions permettant le passage d'un nœud au suivant sur silicium massif ne sont désormais plus suffisantes pour garantir un fonctionnement optimal du transistor MOSFET (fort I_{ON} et faible I_{OFF}). De nouvelles architectures ont alors été introduites améliorant le contrôle électrostatique de la grille sur le canal. Certains industriels ont annoncé la transition vers des technologies planaires FDSOI (Silicium sur Isolant totalement déserté [Planes 2012]), d'autres sur des architectures non-planaires de type FinFET [Auth 2012] (double grille vertical). Nous décrivons l'architecture FDSOI sur la Figure 1.3.

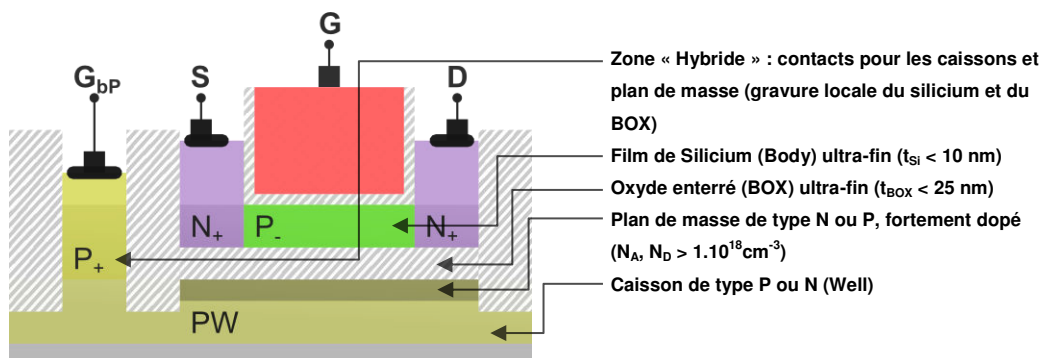


Figure 1.3 : Vue en coupe du transistor N-MOSFET en technologie FDSOI.

Les transistors NMOS et PMOS sont ici placés sur une couche d'oxyde de silicium enterré (BOX pour « Buried Oxyde ») assurant une isolation totale avec le substrat. Ainsi,

la zone de canal (Body) est donc ultra fin puisque délimité entre la grille et le BOX. Pour le nœud 28 nm, l'épaisseur de l'oxyde enterré est $t_{BOX} = 25 \text{ nm}$, celle du film de silicium, de 7 nm (typiquement non dopé : $N_A \approx 10^{15} \text{ cm}^{-3}$). Nous parlons alors d'une technologie UTBB (pour « Ultra Thin Body and BOX »). Par ailleurs, sous l'oxyde enterré, un « Ground Plane » (Plan de masse) est implanté, il s'agit d'une zone fortement dopée (avec une concentration $N_{AD} > 10^{18} \text{ cm}^{-3}$), empêchant un dépeuplement trop important du substrat et assurant ainsi le rôle de grille arrière. Afin de contacter les Ground Planes, le silicium et le BOX sont localement gravés, permettant de réaliser un accès pour contrôler le potentiel du « Well » (caisson) sous le BOX. Au-dessus du canal, pour réaliser la structure MOS, un empilement de grille est formé, il comporte :

- Une couche mince d'oxyde de silicium (SiO_2) « Interface Layer » permettant d'assurer une bonne qualité d'interface canal-oxyde.
- Une couche d'oxyde à forte permittivité diélectrique (HfO_2). Le choix de ce type de matériau permet un gain en contrôle électrostatique par l'augmentation de $C_{ox} = \epsilon_{ox}/t_{ox}$.
- Un métal disposant d'un travail de sortie dit « mid-gap » (situé à mi-chemin entre la bande de valence et la bande de conduction du silicium), généralement TiN ou AlTiN.

Finalement, comme décrit pour le transistor « Bulk », les source et drain sont surélevés avant contact pour réduire les résistances d'accès. En technologie 28 nm, ceci est effectué par une épitaxie de silicium pleine plaque où toutes les parties non recouvertes par une grille sont épaissies (t_{si} final de l'ordre de 22 nm), puis les sources et drains sont implantés. En technologie 14 nm, l'approche suivie est différente : l'épitaxie est sélectivement réalisée sur les sources et drains des NMOS (SiC) et PMOS (SiGe). Durant cette même étape, le dopage est réalisé : Bore pour les PMOS et Phosphore pour les NMOS avec une concentration très élevée ($N_A, N_D > 5 \cdot 10^{20} \text{ cm}^{-3}$), on parle d'épitaxie dopée « in-situ » [Liu 2013]. Le SiGe utilisé pour les PMOS a aussi pour rôle d'apporter

une contrainte sur le transistor, ce qui a pour conséquence d'améliorer le transport dans le canal (augmentation de I_{ON} permis par l'augmentation de la mobilité [Gallon 2007]).

1.1.2.2. Effets de canaux courts

La tension de seuil du transistor MOS dépend de la longueur de son canal. En effet, plus celui-ci est court, plus le champ électrique longitudinal (entre le drain et la source) est élevé. Ceci a pour conséquence un contrôle électrostatique moins efficace de la grille sur le canal (champ électrique transverse). Les effets de canaux courts (SCE pour « Short Channel Effect ») sont une conséquence de la diminution de L_G [Colinge 2007] et donc de L_{el} (la longueur électrique du canal). L'affaiblissement de la barrière causée par la tension de Drain (DIBL : « Drain Induced Barrier Lowering ») en est une autre. Ces deux grandeurs sont illustrées et exprimées sur la Figure 1.4.

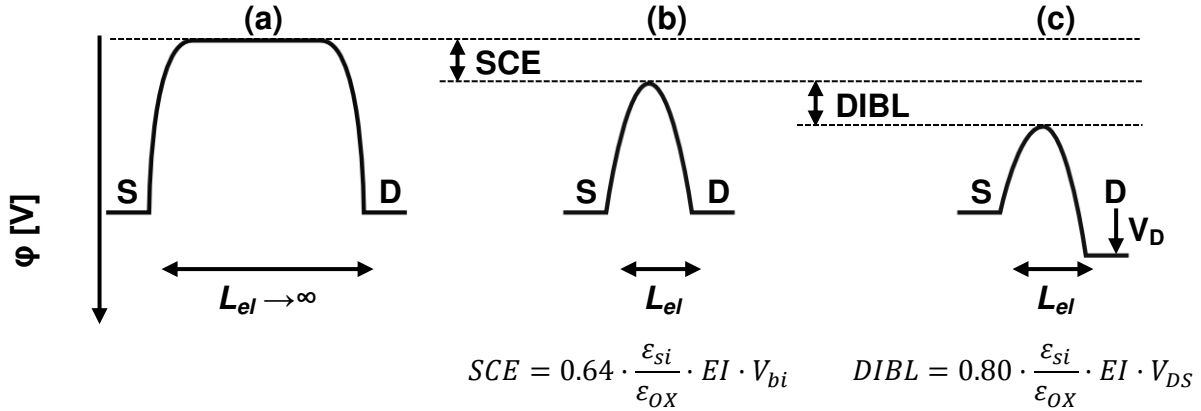


Figure 1.4 : Représentation de la barrière de potentiel dans le plan longitudinal, dans le cas du transistor long (a), et dans le cas du transistor court, pour $V_D = 0$ (b) et pour $V_D = V_{Dsat}$ (c), associé au calcul des valeurs SCE et DIBL [Skotnicki 1988].

avec :

EI l'intégrité électrostatique de la structure définie ci-après,

ϵ_{si} la permittivité du silicium,

ϵ_{ox} la permittivité de l'oxyde de grille,

V_{bi} la barrière de potentiel « Built-In Voltage » interne de la jonction drain-canal,

V_{DS} la tension entre le drain et la source du transistor,

Au final, la tension de seuil résultante du transistor court s'exprime par :

$$V_{th}(L_{el}) = V_{th}(L = \infty) - SCE(L_{el}) - DIBL(L_{el})$$

Dans le cas du transistor « Bulk », la tension de seuil pour un canal long vaut :

$$V_{th}(L = \infty) = V_{FB} + 2 \cdot \psi_f + \frac{\sqrt{2qN_A \cdot \epsilon_{Si} \cdot 2\psi_f}}{\frac{\epsilon_{OX}}{t_{OX}}}$$

avec :

N_A la concentration du canal,

ψ_f séparation entre le niveau de Fermi et le niveau de Fermi intrinsèque dans le canal

[Sze 1981] $\psi_f = \frac{kT}{q} \cdot \ln\left(\frac{N_A}{n_i}\right)$ (pour un canal de type P),

V_{FB} la tension de bande plate du MOSFET,

t_{OX} l'épaisseur d'oxyde de grille.

L'intégrité Electrostatique (EI) permet de modéliser l'évolution de ces deux phénomènes en fonction de la longueur de grille [Skotnicki 1988], c'est une grandeur représentant l'impact de la topologie du transistor (« Bulk », « PD-SOI », « FDSOI », « Fin-FET »...) sur les différents effets précités. Il s'agit d'un excellent moyen d'évaluer une technologie ou d'anticiper les changements nécessaires permettant d'atteindre un nœud technologique futur. Elle vaut, par exemple, dans le cas des transistors « Bulk » et « FDSOI » :

$$EI_{Bulk} = \left[1 + \frac{x_j^2}{L_{el}^2}\right] \cdot \frac{t_{ox}}{L_{el}} \cdot \frac{t_{dep}}{L_{el}} \quad EI_{FDSOI} = \left[1 + \frac{t_{si}^2}{L_{el}^2}\right] \cdot \frac{t_{ox}}{L_{el}} \cdot \frac{t_{si} + \lambda t_{BOX}}{L_{el}}$$

avec :

x_j l'épaisseur de la jonction utilisée en technologie Bulk

L_{el} la longueur électrique du canal (illustrée dans la Figure 1.4)

t_{dep} la profondeur de désertion de la structure MOS dans le substrat, au seuil.

Comme nous pouvons le voir, le facteur x_j (l'épaisseur de jonction) utilisé en technologies « Bulk » est remplacé par t_{si} (l'épaisseur du film de silicium) et t_{dep} (l'épaisseur de déplétion) par $t_{si} + \lambda t_{BOX}$ (λ étant un paramètre d'ajustement représentant la pénétration du champ électrique dans le BOX). Ainsi, en utilisant une technologie UTBB (BOX et « Body » de silicium ultra fin) dans laquelle le film de silicium est totalement déserté, soit : $t_{si} \ll t_{dep}$, il est aisé de voir que la quantité EI sera diminuée, le contrôle électrostatique de la grille plus fort, et la chute de V_{th} sera moins importante lorsque L_{el} est raccourci ou lorsque V_{DS} augmente. Ceci est confirmé par les données expérimentales et calculées de la Figure 1.5.

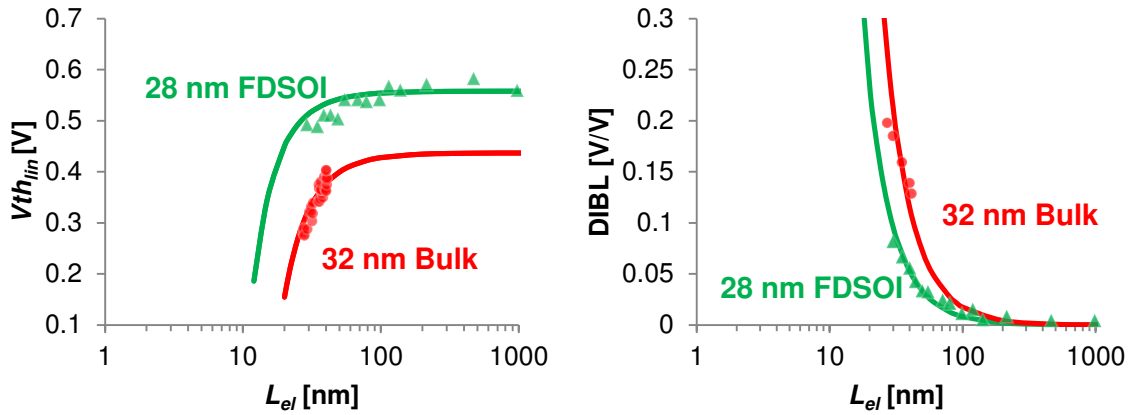


Figure 1.5 : Comparaison des effets de canaux courts (a) et DIBL (b) entre une technologie « Bulk » 32 nm et FDSOI 28 nm (symboles : données expérimentales *d'après* [Packan 2009] et [Fenouillet-Beranger 2009]). En traits pleins, les prédictions du modèle basé sur la VDT (Voltage Doping Transformation) [Skotnicki 1988], avec les paramètres technologiques associés.

1.1.2.3. Tension de seuil dynamique

Le transistor SOI apporte un changement important par rapport au transistor « Bulk ». La tension de seuil V_{th} peut être ajustée linéairement avec la tension de face arrière, et ce sur une large plage. En technologie « Bulk », cet ajustement est possible, mais la tension

est appliquée directement sur le « Body » du transistor. La variation dV_{th}/dV_B est alors appelée « Body-Effect ». Dans ce dernier cas, le « Body » n'est pas isolé électriquement du canal, ni de la source, ni du drain (nous avons alors deux jonctions Body-Drain et Body-Source). Il n'est alors pas possible d'utiliser une tension V_B très positive sans polariser en direct ces jonctions et donc générer un courant de fuite significatif. En FDSOI, l'oxyde enterré (BOX) supprime cette contrainte et autorise une large gamme de polarisation en « face arrière ». Il est alors plus judicieux de parler de tension de grille arrière V_{Gb} .

Il a été montré que dans un transistor SOI totalement déserté, l'ajustement de la tension de seuil peut s'effectuer linéairement avec la tension de grille arrière V_{Gb} [Lim 1983][Colinge 2004] :

$$\frac{dV_{th}}{dV_{Gb}} = \frac{1}{C_{OX}} \cdot \left(\frac{C_{si}C_{BOX}}{C_{si} + C_{BOX}} \right)$$

avec :

$$C_{si} = \frac{\varepsilon_{si}}{t_{si}} \text{ la capacité du film de silicium,}$$

$$C_{BOX} = \frac{\varepsilon_{OX}}{t_{BOX}} \text{ la capacité de l'oxyde enterré (BOX),}$$

$$C_{OX} = \frac{\varepsilon_{OX}}{t_{OX}} \text{ la capacité de l'oxyde de grille avant.}$$

Dans la limite $C_{si} \gg C_{BOX}$ [McKitterick 1989] (une technologie FDSOI se rapproche de ce cas), il est possible d'écrire :

$$\frac{dV_{th}}{dV_{Gb}} = \frac{C_{BOX}}{C_{OX}} = \frac{t_{OX}}{t_{BOX}}$$

La Figure 1.6 [Fenouillet-Beranger 2010] valide expérimentalement cette variation $V_{th}(V_{Gb})$.

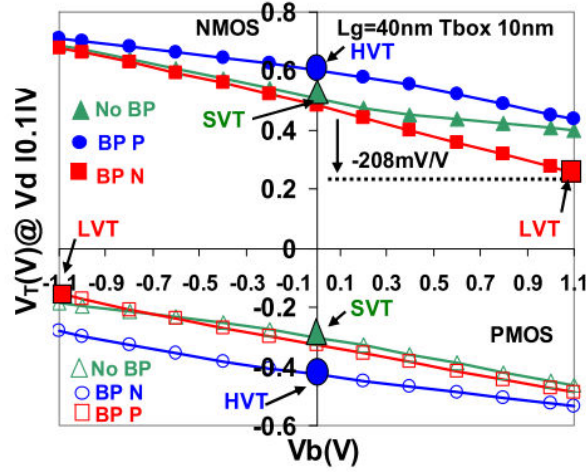


Figure 1.6 : Modulation de la tension de seuil des transistors NMOS et PMOS en technologie FDSOI avec un BOX ultra-fin (10 nm) et plan de masse fortement dopé (BP) [Fenouillet-Beranger 2010].

1.1.2.4. Diminution des capacités parasites

Les technologies « Bulk » avancées utilisent des dopages de canal/substrat de plus en plus élevés, et l'isolation entre transistor et substrat est réalisée par des jonctions polarisées en inverse. En résultent des capacités drain (ou source)-substrat fortes (la capacité de jonction associée augmente avec le dopage). Contrairement à cela (Figure 1.7), en technologie SOI, la capacité maximale du drain (source) au substrat est limitée par l'épaisseur de l'oxyde enterré (BOX) et par sa constante diélectrique ($\epsilon_{ox} \approx \epsilon_{si}/3$). Par exemple, pour un BOX de 25 nm, la capacité drain-substrat maximale est $C_{DMAX} = C_{BOX} = \frac{\epsilon_{ox} \cdot \epsilon_0}{t_{BOX}} = 13,8 \text{ fF}/\mu\text{m}^2$. En conséquence de cette réduction des capacités parasites, d'excellentes performances en termes de fréquence de fonctionnement des circuits logiques sont observées pour les technologies CMOS sur SOI [Colinge 2004].

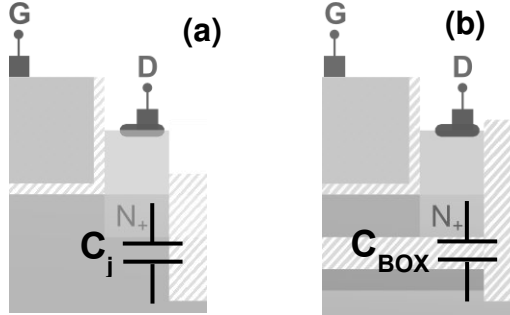


Figure 1.7 : Capacités drain (ou source) à substrat. (a) En « Bulk »: jonction, (b) En SOI: isolant.

1.1.2.5. Diminution du courant de fuite

La performance d'une technologie CMOS est dictée par le ratio I_{ON}/I_{OFF} que peuvent atteindre les transistors. Un faible courant de fuite I_{OFF} signifie qu'une faible consommation statique peut être atteinte (P_{stat}) [Bœuf 2013], ayant pour conséquence positive une autonomie accrue des circuits autonomes fonctionnant sur batterie (applications mobiles par exemple). La puissance statique, lorsque le transistor est à l'état « OFF » s'exprime :

$$P_{stat} = (I_{OFF\ source} + I_{OFF\ substrat} + I_{OFF\ grille}) \cdot V_{DD}$$

avec :

$I_{OFF\ source}$ la contribution au courant de fuite due à la jonction drain-canal et source-canal (majoritairement un courant de diffusion),

$I_{OFF\ substrat}$ la contribution au courant de fuite due à la jonction drain-substrat (courant de diffusion et de génération-recombinaison),

$I_{OFF\ grille}$ la contribution au courant de fuite de grille (majoritairement par effet tunnel),

V_{DD} la tension d'alimentation du circuit.

En FDSOI la présence de l'oxyde enterré (BOX) isole totalement la partie active du transistor MOS (Figure 1.8). Ainsi, le terme $I_{OFF\ substrat}$ est supprimé. Par ailleurs, la

composante $I_{OFF\ source}$ est un courant de jonction (en inverse), ce courant est proportionnel à la surface de la jonction drain-canal [Colinge 2004], qui est limitée par l'épaisseur du film SOI (7 nm pour la technologie 28 nm) dans une technologie UTBB et vaut : $t_{si} \cdot W$.

D'autre part, comme nous l'avons vu, le contrôle électrostatique est amélioré dans le cas d'une architecture UTBB par rapport au « Bulk ». Cela se traduit par une pente sous le seuil plus élevée (facteur S : « Subthreshold Swing » plus faible). L'inverse de la pente sous le seuil, grandeur exprimant le couplage du potentiel de surface (dont le courant I_D dépend exponentiellement) avec la tension de grille avant : $S = \frac{dV_G}{d(\log_{10} I_D)}$, vaut au minimum 60 mV/décade à température ambiante. Elle s'exprime, en négligeant les pièges d'interfaces [Colinge 2004], par :

$$\begin{array}{cc} \text{« Bulk »} & \text{« FDSOI »} \\ S = \frac{kT}{q} \cdot \ln(10) \cdot \left(1 + \frac{C_D}{C_{OX}}\right) & S = \frac{kT}{q} \cdot \ln(10) \cdot \left(1 + \frac{1}{C_{OX}} \cdot \left(\frac{C_{si} \cdot C_{BOX}}{C_{si} + C_{BOX}}\right)\right) \end{array}$$

Sur silicium « Bulk », nous pouvons voir que S représente la « compétition » entre la capacité de la jonction du drain ($C_D = \epsilon_{si}/x_d$, x_d étant la largeur de la zone de déplétion côté drain), et celle d'oxyde de grille. Plus le rapport C_D/C_{OX} sera élevé, plus S s'éloignera de sa valeur idéale (60 mV/dec). En FDSOI cependant, l'épaisseur des couches d'oxyde et de silicium sont telles que S tend vers 60 mV/dec.

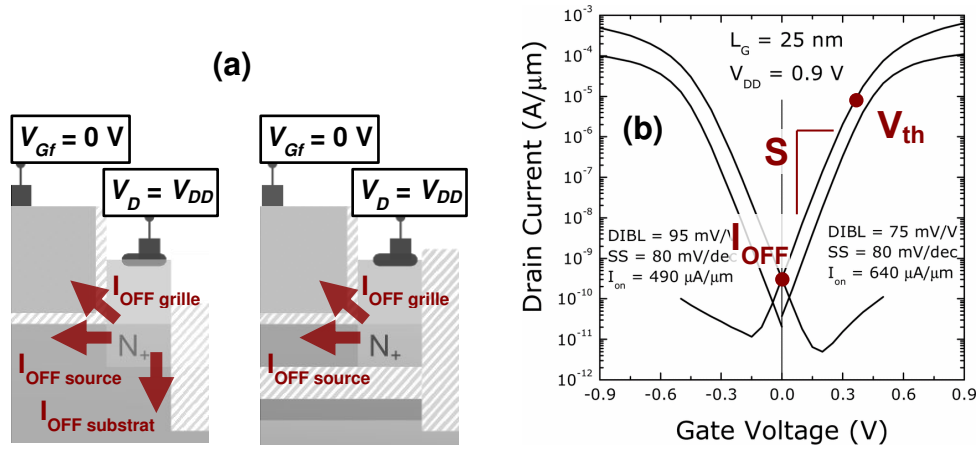


Figure 1.8: (a) Composantes du courant de fuite I_{OFF} d'un NMOS en « Bulk » et FDSOI [Bœuf 2013] (b) I_D - V_G de transistor NMOS et PMOS UTBB [Khakifirooz 2012] illustrant les caractéristiques I_{OFF} , S et V_{th} .

Des valeurs de S de l'ordre de 70-80 mV/dec sont couramment rapportées [Faynot 2010], [Khakifirooz 2012], [Planes 2012] pour les transistors SOI les plus courts, comparativement à des valeurs de l'ordre de 100 mV/dec en technologie « Bulk ». Une pente sous le seuil plus abrupte permet d'obtenir:

- un I_{OFF} plus faible, à tension de seuil V_{th} constante, induisant une réduction de la consommation statique P_{stat} ,
- un V_{th} plus faible à I_{OFF} constant, permettant d'abaisser la tension d'alimentation V_{DD} .

Nous avons pu voir que l'adoption de l'architecture FDSOI pour les transistors NMOS et PMOS permet de bénéficier de nombreux avantages liés à la supériorité électrostatique de telles structures. En conséquence, le SOI est employé à l'échelle industrielle pour les noeuds 28 nm [Planes 2012], 14 nm [Liu 2013] et envisagé pour le nœud 10 nm [Bœuf 2013]. Les circuits CMOS, aussi avancés soient-ils, sont vulnérables face aux décharges électrostatiques. Des protections doivent donc être mises en place. Dans la partie suivante, nous introduisons cette problématique, présentons des solutions classiques pour s'en prémunir.

1.2. Principe des protections ESD

1.2.1. La problématique ESD

1.2.1.1. Dommages occasionnés

Les évènements survenant lors d'une décharge électrostatique peuvent être dommageables, voire destructeurs pour les circuits électroniques. Différentes catégories de défaillances peuvent être observées lorsque les circuits sont analysés suite à une décharge. Le plus courant des modes de défaillance est la création d'un filament conducteur (Figure 1.9) reliant la source au drain d'un transistor MOSFET [Griffoni 2010]. Ceci se produit suite à l'élévation de la température du canal, entraînant localement la fusion du matériau semi-conducteur. La gravité de ce phénomène dépend de la durée de l'évènement auquel est soumis le transistor, et donc au type de décharge (voir partie 1.2.2). Pour des décharges courtes, les jonctions peuvent être faiblement dégradées. Une élévation du courant de fuite traversant le transistor est typiquement mesurée après le stress. Lorsque la durée de l'évènement augmente (décharges de type HBM, voir partie 1.2.2.1), l'échauffement peut être plus important et les jonctions plus grièvement endommagées. Cela est généralement caractérisé par un court-circuit entre le drain et la source.

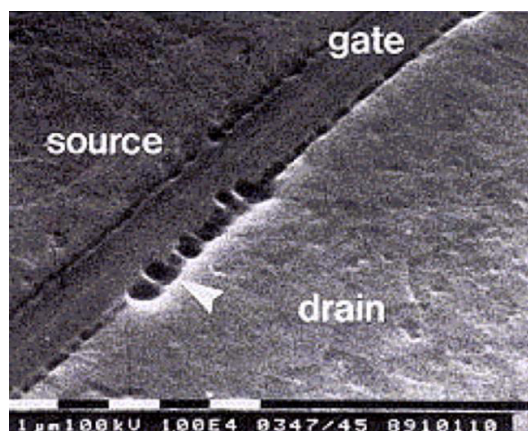


Figure 1.9 : Filamentation de la jonction drain-canal, survenue après un évènement ESD, observée par microscopie SEM [Amerasekera 2002].

Un autre cas fréquent de dégradation post-décharge est l'endommagement de l'oxyde de grille du MOSFET (Figure 1.10). La tension de drain augmentant (en suivant linéairement le courant de décharge), le champ électrique entre le drain et la grille augmente. Lorsqu'il devient trop élevé, il peut éventuellement dépasser le champ de claquage de l'oxyde de grille (autour de 12 MV/cm). La qualité de l'isolation de la grille peut alors se dégrader et une augmentation du courant de fuite peut être observée. Cela est souvent constaté lors de stress de type CDM, mettant en jeu des durées très courtes de l'ordre de la nanoseconde (voir partie 1.2.2.3). Lorsque la durée augmente, l'effet peut être plus grave et est généralement identifié par un court-circuit entre le drain et la grille.

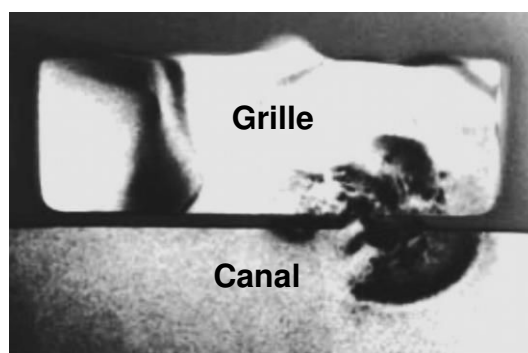


Figure 1.10 : Endommagement de l'oxyde de grille après un stress créé par une décharge de type CDM (Charged Device Model) [Semenov 2008].

Ensuite, sans aller jusqu'à la casse du dispositif, des mécanismes de dégradation des oxydes / couches de passivation (nitrures) peuvent être observés. On parle alors

d'évènements non destructifs. Ceci est dû à l'injection de porteurs « chauds », trous ou électrons ayant une énergie élevée, générés par ionisation par impact [Vinson 1998] dans ces couches isolantes (Figure 1.11). On constate alors typiquement une élévation du courant de fuite traversant la structure.

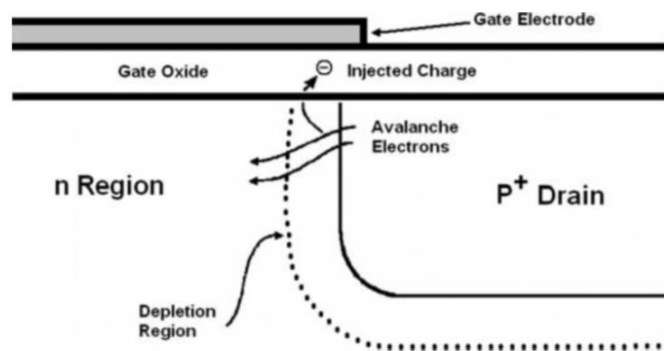


Figure 1.11 : Génération de porteurs par avalanche causant une dégradation de l'oxyde de grille [Vinson 1998].

Enfin, lorsqu'une trop grande quantité de courant traverse les interconnexions (vias ou lignes métalliques), l'échauffement causé par effet Joule peut alors faire fondre ces matériaux puis couper la ligne, comme montré sur la Figure 1.12. Une caractérisation électrique mettra alors en évidence un circuit ouvert.

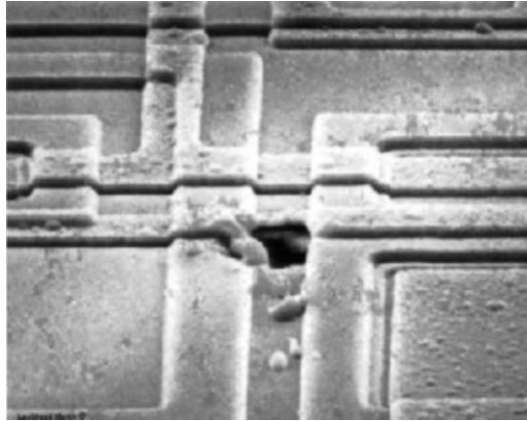


Figure 1.12 : Rupture d'une interconnexion métallique après échauffement causé par un stress ESD [Semenov 2008].

1.2.1.2. Cahier des charges d'une protection

Globalement, un dispositif assurant la protection contre les décharges électrostatiques doit répondre aux quatre critères suivants:

- **Efficacité** : la protection doit être capable d'évacuer une quantité suffisante de courant ($I@V_{max}$) avant la tension de casse du circuit protégé (charge). Sa tension de déclenchement (V_{t1}) doit ainsi se situer entre la tension d'alimentation (V_{DD}) et la tension maximale acceptable par le circuit protégé (V_{max}).
- **Transparence** : du point de vue du plot d'Entrée/Sortie et du circuit protégé, en mode de fonctionnement normal (OFF), la protection doit être invisible. Le courant de fuite (I_{leak} à V_{DD}) doit être le plus faible possible (afin d'éviter toute consommation excessive. La capacité parasite doit également être faible, afin de ne pas perturber la transmission de signaux digitaux ou analogiques/RF rapides.
- **Robustesse** : l'élément de protection ne doit pas casser (par exemple à cause d'une tension trop importante conduisant à un champ électrique trop élevé) avant d'être entré en conduction et d'avoir évacué une quantité significative de courant. Il doit ainsi présenter un point courant/tension (V_{t2}/I_{t2}) de casse acceptable.

- **Rapidité** : les évènements ESD étant très courts et mettant en jeu des constantes de temps faibles (de la centaine de picosecondes à la centaine de nanoseconde), et des fronts abrupts, il est nécessaire pour un dispositif de protection de se déclencher rapidement afin de limiter toute surtension (« overshoot »).

A partir de ces critères, nous pouvons définir les spécifications d'une protection ESD. Elles sont synthétisées par le concept de fenêtre de conception ESD (« ESD design window »). La Figure 1.13 décrit cette fenêtre en termes de réponse Courant-Tension d'une protection ESD. Les points importants présents sur cette caractéristique sont :

- (V_{T1} , I_{T1}) : tension et courant de déclenchement de la protection, pour lesquels elle entre en conduction.
- (V_{T2} , I_{T2}) : tension et courant maximum supporté par la protection ; au-delà de ce point, la protection n'est plus fonctionnelle et est considérée comme défailante,
- (V_H , I_H) : tension et courant de maintien de la protection ; en dessous de V_H , la protection est toujours OFF (circuit ouvert dans le cas idéal).
- V_{DD} : tension d'alimentation du circuit. Elle délimite le fonctionnement normal du circuit ($V_A \leq V_{DD}$), du régime ESD ($V_A > V_{DD}$). La protection ne doit pas être déclenchée avant cette valeur.
- V_{BD} : tension de claquage (« Break-Down ») des transistors protégés. C'est normalement la tension maximum tolérée par la technologie. Il peut s'agir de la tension de mise en conduction du transistor bipolaire latéral de MOSFETs « digitaux » déclenché par avalanche, de la tension de rupture d'oxyde de grille... C'est donc la limite en tension supérieure de la zone de fonctionnement de la protection.
- I_{leak} : courant de fuite de la protection en régime de fonctionnement normal du circuit (mesuré à la tension d'alimentation V_{DD}).

En résumé, une bonne protection contre les ESD doit être capable d'évacuer le courant de la décharge, tout en limitant la tension aux bornes des dispositifs sensibles. Elle doit aussi être transparente pour le circuit protégé en régime de fonctionnement normal. Par conséquent, le dispositif de protection doit pouvoir basculer depuis un mode haute-impédance vers un mode faible impédance en cas de décharge.

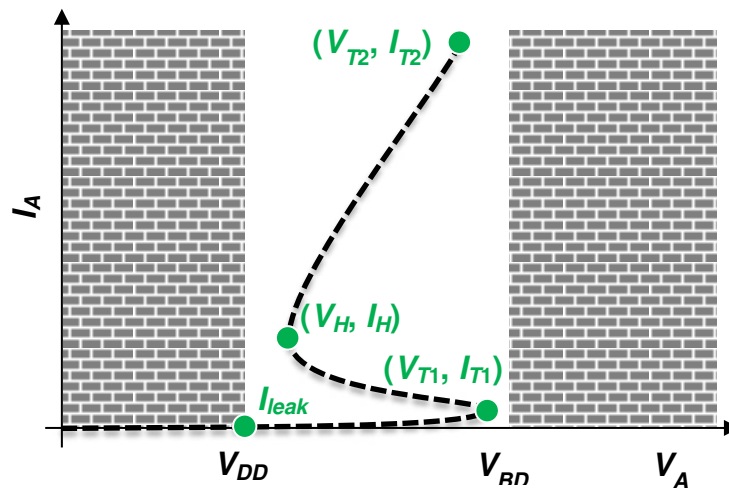


Figure 1.13 : Fenêtre de conception ESD, schématisant la zone de fonctionnement d'une protection.

La fenêtre de conception est un concept valide quelle que soit la technologie utilisée. Cependant, la valeur des différentes limites (V_{DD} et V_{BD}) évolue avec la réduction de la dimension des transistors, comme montré sur la Figure 1.14 (d'après [Cao 2009], [Duvvury 2008]). La tension d'alimentation des circuits diminue, mais la tension de casse des transistors subit une baisse beaucoup plus rapide. En conséquence, la fenêtre de conception est de plus en plus étroite, et il devient de plus en plus difficile de concevoir des protections ESD efficaces. Pour obtenir un circuit robuste face aux ESD, il est possible d'effectuer des ajustements de conception (dessin des circuits et dispositifs) ou sur le procédé de fabrication (paramètres d'implantation, dépôts, épaisseurs des couches...). Deux voies sont alors envisageables : agir sur la robustesse des dispositifs protégés [Cao 2010], [Li 2009] en optimisant leur dessin ou leur procédé de fabrication, et donc modifier la fenêtre de conception, et/ou implémenter des protections plus efficaces adaptées à la fenêtre de conception [Dabral 1999].

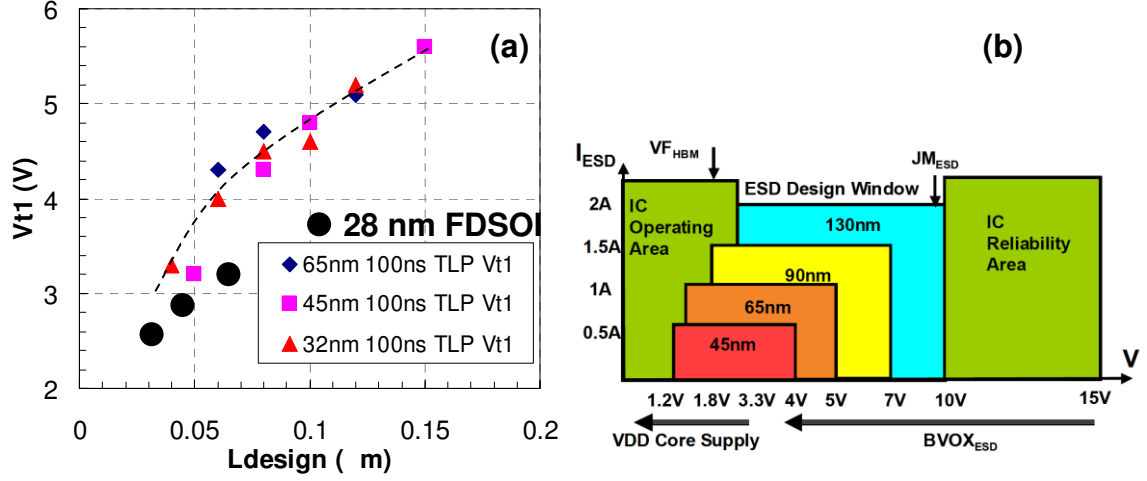


Figure 1.14 : (a) Evolution de la tension de déclenchement du NPN parasite du transistor NMOSFET avec la réduction de L_G , pour différentes technologies. Données expérimentales « Bulk » d'après [Li 2009]. (b) Evolution de la fenêtre de conception ESD depuis le nœud 130 nm, jusqu'au nœud 45 nm [Cao 2009], [Duvvury 2008].

1.2.2. Modèles de décharge

Il existe différents types de décharges pouvant survenir durant le cycle de fabrication et de fonctionnement d'un circuit. Chacun se caractérise par une forme d'onde de courant différente (temps de montée, durée, oscillations...). Un modèle électrique simple (circuit RLC série) permet de représenter chacun de ces événements. On peut donc exprimer les tensions aux bornes de chaque élément, et appliquer une loi des mailles. Il s'agit alors de résoudre une équation différentielle du second ordre [Amerasekera 2002], faisant intervenir les paramètres R_{ESD} , L_{ESD} , C_{ESD} , et des conditions initiales différentes pour chacun des trois modèles :

$$\frac{d^2 i(t)}{dt^2} + \frac{R_{ESD}}{L_{ESD}} \cdot \frac{di(t)}{dt} + \frac{1}{L_{ESD} C_{ESD}} \cdot i(t) = 0$$

Nous listons dans la partie suivante les principaux modèles de décharge ESD.

1.2.2.1. HBM

Le modèle HBM pour « Human Body Model » permet de spécifier une décharge du corps humain sur un circuit intégré. Cela peut survenir lorsqu'une personne préalablement chargée touche une puce, par exemple lors d'une manipulation, de l'assemblage sur un circuit imprimé... Il y a alors transfert de charges vers la masse, en passant par les éléments conducteurs constituant le circuit. Le schéma équivalent de ce modèle est donné sur la Figure 1.15

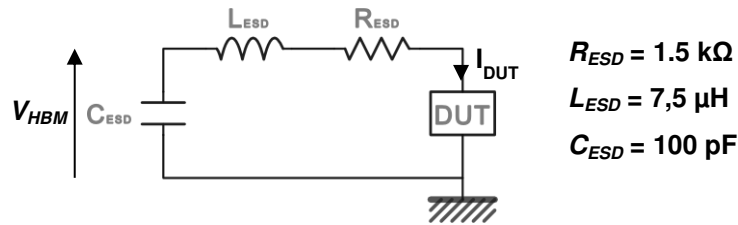


Figure 1.15 : Modèle HBM et paramètres associés.

Typiquement, les niveaux requis pour assurer une protection minimale varient entre $V_{HBM} = 1 \text{ kV}$ (applications RF, wireless, ...) et $V_{HBM} = 4 \text{ kV}$ (applications automobile, militaires...). Le courant de décharge peut être calculé grâce à l'expression suivante :

$$I_{HBM}(t) = \frac{V_{HBM}}{R_{ESD}} \cdot \left(1 - e^{\frac{-R_{ESD}}{L_{ESD}} \cdot t} \right) \cdot e^{\frac{-t}{R_{ESD} \cdot C_{ESD}}}$$

Du fait de la forte valeur de la résistance R_{ESD} , le circuit RLC fonctionne en régime amorti, il n'y a donc pas d'oscillations de courant.

Une décharge suivant le modèle HBM, calculée avec les paramètres R_{ESD} , L_{ESD} , C_{ESD} classiques, est représentée sur la Figure 1.16. La décharge est calculée en considérant la protection comme un circuit fermé ($R_{DUT} = 0 \text{ }\Omega$). La durée caractéristique d'un évènement ESD de type HBM est de l'ordre de la centaine de nanosecondes.

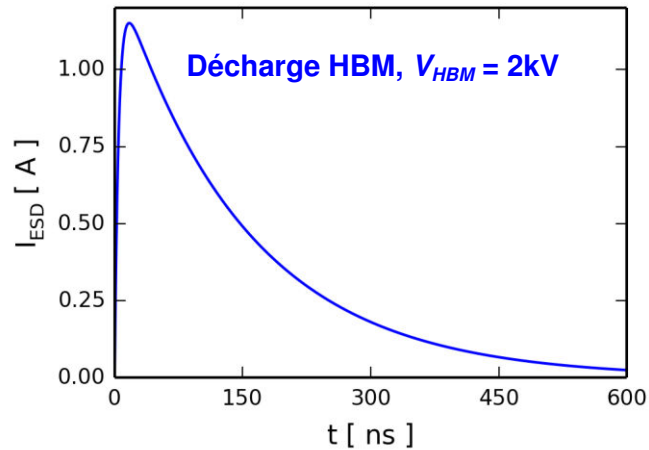


Figure 1.16 : Forme d'onde d'une décharge HBM.

1.2.2.2. MM

Le modèle MM pour « Machine Model » est similaire au modèle HBM. Cependant, dans le cas du modèle MM la source de la décharge n'est pas une personne, mais une machine chargée entrant en contact avec la puce lors de l'assemblage par exemple. Ce modèle de décharge est de plus en plus rarement utilisé. La résistance R_{ESD} est alors très faible puisqu'elle simule un contact métallique. Le circuit avec des valeurs typiques est donné sur la Figure 1.17.

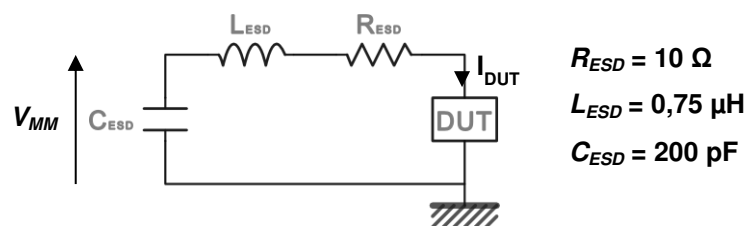


Figure 1.17 : Modèle MM et paramètres associés.

Les spécifications typiques sur la tension V_{MM} se situent entre ± 200 V et ± 500 V. Le courant de décharge peut être calculé par :

$$I_{MM}(t) = V_{MM} \cdot \sqrt{\frac{C_{ESD}}{L_{ESD}}} \cdot e^{\frac{-R_{ESD}t}{2L_{ESD}}} \cdot \sin\left(\frac{1}{\sqrt{L_{ESD} \cdot C_{ESD}}} \cdot t\right)$$

A la différence du modèle HBM, la résistance R_{ESD} étant faible (entraînant un facteur d'amortissement inférieur à 1), le circuit RLC fonctionne en régime pseudo-oscillant (Figure 1.18). Ainsi, une décharge MM laisse apparaître des oscillations amorties au bout de quelques centaines de nanosecondes.

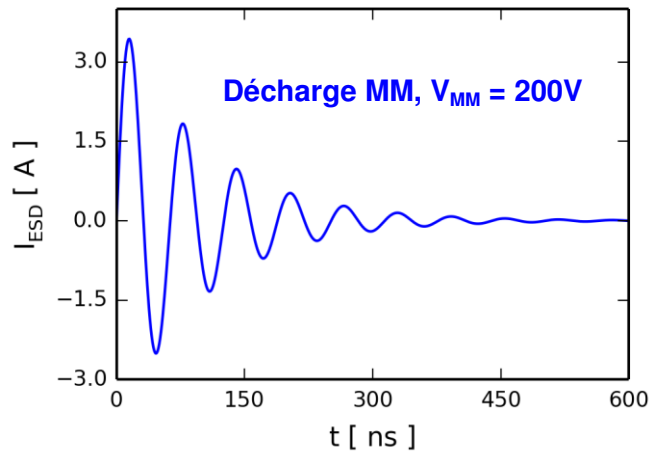


Figure 1.18 : Forme d'onde d'une décharge MM.

1.2.2.3. CDM

Le Modèle CDM «Charged Device Model» est un moyen de modéliser un composant, lui-même chargé, entrant en contact avec un élément à la masse. Bien qu'il s'agisse du type d'évènement ESD le plus court, il met en jeu un courant crête (et donc une puissance instantanée) généralement bien plus élevé. Les niveaux typiques de protection à atteindre sont de l'ordre de $V_{CDM} = 500 \text{ V}$ à $V_{CDM} = 1 \text{ kV}$. Dans le cas du modèle CDM, la différence de potentiel se retrouve directement aux bornes du circuit, qui est modélisé par une capacité pouvant typiquement varier entre 4 pF et 30 pF [Goeau 2005] (Figure 1.19). La valeur de la capacité dépend du nombre d'entrées/sorties, de la taille du boîtier....

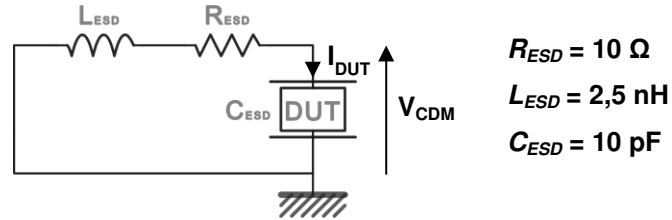


Figure 1.19 : Modèle CDM et paramètres associés.

Le courant de décharge peut être exprimé par :

$$I_{CDM}(t) = \frac{V_{CDM}}{L_{CDM} \cdot \omega} \cdot e^{\frac{-R_{ESD}}{2L_{ESD}}t} \cdot \sin(\omega \cdot t)$$

avec :

$$\omega = \sqrt{\frac{1}{L_{ESD} \cdot C_{ESD}} - \frac{R_{ESD}^2}{4L_{ESD}^2}}$$

Il en résulte un signal pseudo-périodique, rapidement amorti (en moins de 2 ns), comme montré sur la Figure 1.20.

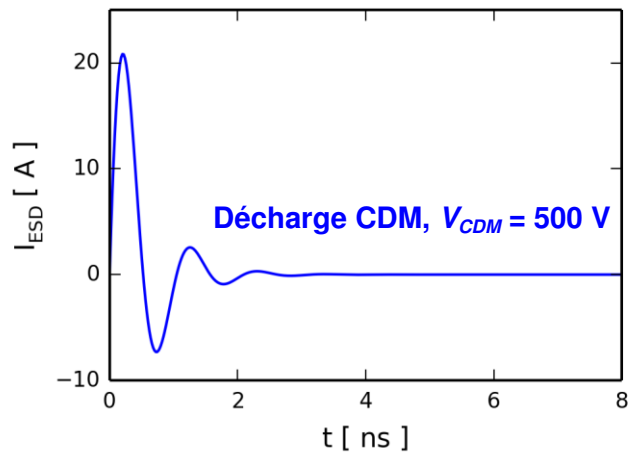


Figure 1.20 : Forme d'onde d'une décharge CDM.

1.2.3. Stratégies de conception de protections à l'échelle du circuit

Pour garantir la robustesse des circuits intégrés face aux événements ESD, il faut être capable d'aiguiller le « courant ESD » selon un chemin conducteur jusqu'à la masse, en

évitant les composants sensibles. Pour cela, les dispositifs de protection doivent présenter une impédance plus faible que le circuit à protéger lorsque la décharge survient sur un des plots d'entrée ou de sortie [Dabral 1999], [Mergens 2001], [Russ 1999]. Ainsi, l'énergie de l'ESD sera déviée, empêchant la destruction de tout ou partie des transistors protégés. Une surtension peut survenir entre n'importe quelle combinaison de plots, il peut s'agir d'une alimentation (V_{DD} , V_{SS} ...), d'une entrée ou sortie de signal analogique ou numérique. Tous ces cas doivent être envisagés dans le but de se prémunir efficacement contre les décharges.

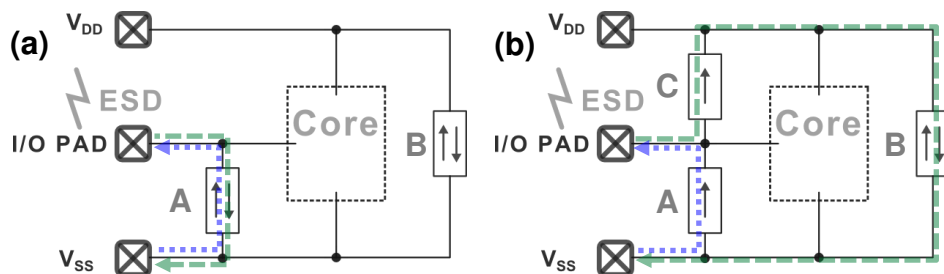


Figure 1.21 : Exemples simplifiés de réseaux de protection et d'évacuation d'une décharge positive (vert --) et négative (bleu ---) : (a) évacuation d'une décharge positive par une protection locale, (b) évacuation d'une décharge positive par une protection « globale ».

Dans le cas d'une décharge ESD positive survenant entre un plot (Entrée/Sortie) et la masse, plusieurs options peuvent être considérées :

- Une stratégie de protection « globale » utilisant des éléments placés auprès de chaque plot, et d'au moins un élément central. Sur la Figure 1.21, nous pouvons observer que l'ESD (positive) se propage par l'élément C, la ligne d'alimentation V_{DD} , l'élément B et la ligne V_{SS} . Sont ainsi mis en jeu plusieurs dispositifs de protection et la résistance série des interconnexions peut créer une chute de tension supplémentaire.
- Une stratégie de protection « locale » utilisant des éléments placés auprès de chaque plot. Sur la Figure 1.21, nous pouvons observer que l'ESD (positive ou négative) se propage uniquement par l'élément A. Cependant, elle implique des structures bidirectionnelles auprès de chaque E/S, ce qui peut être consommateur en termes de surface silicium.

Les spécifications de chacun de ces éléments diffèrent selon leur emplacement, et donc leur rôle. Le concepteur de la protection adoptera alors une architecture comprenant l'une ou l'autre, ou les deux stratégies, lui permettant de garantir le meilleur ratio performance/surface et de répondre à des contraintes de placement ou de signaux différents (interfaçage entre circuits).

1.2.4. Composants élémentaires couramment utilisés comme protection dans les technologies CMOS

1.2.4.1. Diode STI

Le dispositif de protection le plus élémentaire est la diode. C'est un dispositif unidirectionnel typiquement utilisé en inverse lors du fonctionnement normal du circuit (Figure 1.22). Elle est automatiquement polarisée en direct (état passant) lors de l'évènement ESD. Ainsi, dans une stratégie globale, elle se retrouve souvent placée entre un plot de signal et une alimentation, afin de pouvoir évacuer une décharge positive, ou entre la masse et un plot de signal, afin de pouvoir évacuer une décharge négative (voir partie 1.2.3).

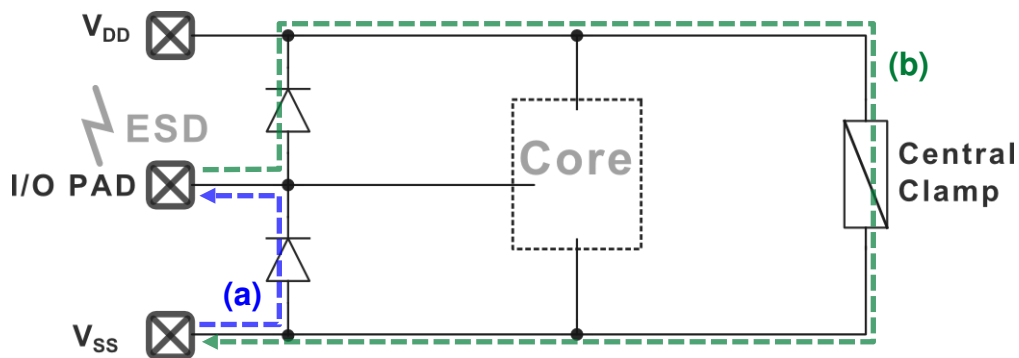


Figure 1.22 : (a) Exemple de protection basée sur des diodes : (a) Evacuation d'une décharge ESD négative, (b) Evacuation d'une décharge ESD positive.

La diode STI (Figure 1.23) tire son nom de la tranchée d'isolation (STI : Shallow Trench Isolation) qui est utilisée pour séparer l'Anode de la Cathode (implants P+ et N+ fortement dopés). Le chemin de conduction de courant met en jeu des trous injectés depuis l'anode et des électrons injectés depuis la cathode. Il se fait ainsi sous la tranchée, à travers un caisson de type Nwell ou Pwell. Une diode entre en conduction aux alentours de 0,6 V.

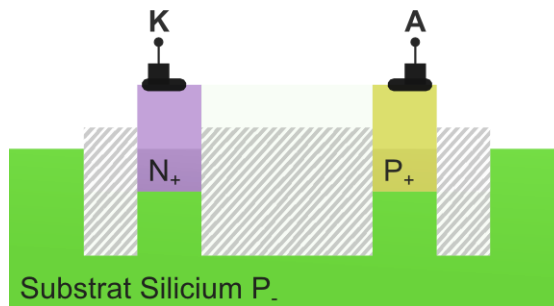


Figure 1.23 : Vue en coupe d'une diode STI.

1.2.4.2. Gated Diode

La « Gated Diode » (Diode à Grille) utilise une grille pour séparer les zones fortement dopées Anode et Cathode (Figure 1.24). Cette grille est de type MOS (Métal-Oxide-Semi-conducteur), typiquement réalisée en silicium poly-cristallin, ou en métal. D'un point de vue technologique, la fabrication de la grille emploie un oxyde épais (typiquement supérieur à 3 nm) et les implantations pour l'anode et la cathode sont auto-

alignées sur les bords de cette grille. Par ailleurs, comparativement à la diode STI, le chemin de courant allant de l'anode vers la cathode peut aussi se faire latéralement de manière parallèle à la surface du substrat de silicium. Le courant total traversant la diode bénéficie ainsi de cette composante. Il en résulte de meilleures performances : courant de défaillance I_{t2} plus élevé et résistance à l'état passant R_{ON} plus faible [Stockinger 2006], comme montré dans la caractéristique I-V TLP (« Transmission Line Pulse », voir partie 1.2.5.1) de la Figure 1.24.

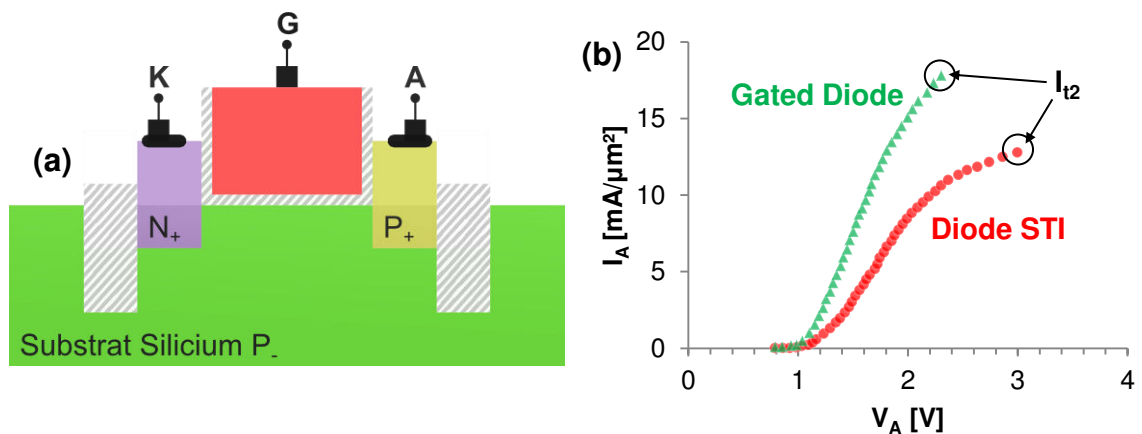


Figure 1.24 : (a) *Vue en coupe d'une « Gated diode »* et (b) *Mesures I-V (TLP 100 ns) d'une « Gated diode » et d'une diode STI (données d'après [Stockinger 2006], en technologie 90 nm).*

1.2.4.3. NMOS, GG-NMOS, Bi-MOS

Le transistor MOS à effet de champ peut également être utilisé comme dispositif de protection ESD. Contrairement à la diode, c'est un composant bidirectionnel. Deux modes de fonctionnement principaux sont utilisés dans l'implémentation du MOSFET en tant que protection :

- Le mode « switch » (interrupteur) dans lequel le transistor est polarisé à l'état bloqué (grille à la masse) en mode de fonctionnement normal, et commute à l'état passant (grille à un potentiel haut, supérieur à la tension de seuil V_{th}) lorsqu'un événement ESD est détecté. Cette détection s'effectue souvent dynamiquement grâce à un circuit RC (passe-haut) permettant de coupler la grille au PAD (plot d'entrée/sortie) lorsqu'un événement transitoire suffisamment rapide survient. Le

NMOS « switch » est souvent utilisé en tant que protection centrale, entre une alimentation et la masse.

- Le mode OFF dans lequel uniquement le transistor bipolaire latéral parasite (NPN dans le cas d'un NMOS) est utilisé, la grille étant toujours reliée à la masse [Russ 1999], [Trémouilles 2004]. Ainsi, il n'y a pas d'activation du canal par effet de champ, on parle alors de GGNMOS (Figure 1.25) : « Grounded-Gate NMOS ». Lorsque la tension sur le PAD est suffisamment élevée (en cas d'ESD), une génération de porteurs survient à la jonction drain-canal par avalanche ou autre phénomène causé par un fort champ électrique (effet tunnel, fuite de jonction...). Cela crée un courant de trous I_h , permettant d'augmenter le potentiel du « body ». Cette augmentation se traduit par un accroissement de la tension V_{BE} (jonction « Body-Source »), la barrière Base-Emetteur s'abaisse alors (BE polarisé en direct) et l'émetteur (source) commence à injecter des électrons jusqu'au collecteur (drain). A cet instant, le NPN parasite est totalement enclenché.

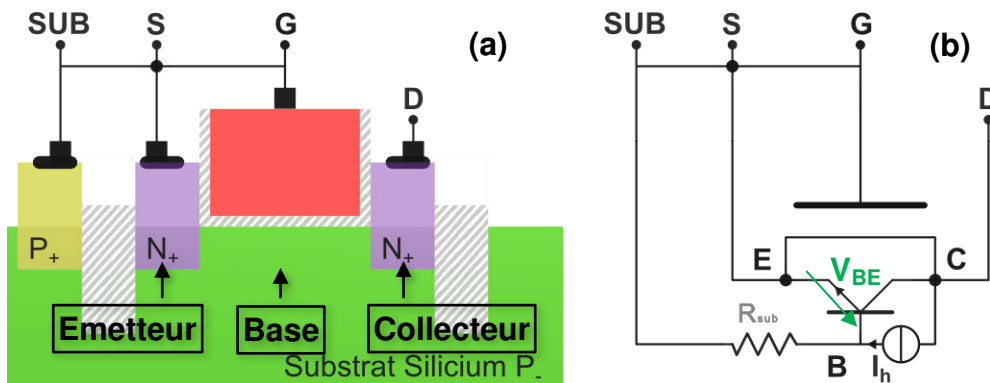


Figure 1.25 : (a) *Vue en coupe d'un transistor GG-NMOS.* (b) *Circuit équivalent incluant le transistor NPN parasite.*

A ces deux implémentations s'ajoute le « Bi-MOS » dans lequel les deux effets précédemment cités sont utilisés simultanément [Galy 2012], [Galy 2013]. Dans cette configuration (Figure 1.26), la grille du transistor est reliée à la base du NPN parasite, et connectée à la source à travers une résistance de polarisation (R_p) de forte valeur. Ainsi, la présence d'une tension V_{BE} (déclenchement du NPN) polarise la grille et entraîne la création d'une couche d'inversion, et donc la mise en conduction du NMOS

parallèlement au NPN parasite. En plus de cela, l'évènement transitoire occasionné par la décharge se retrouve sur le drain, les capacités parasites C_{GD} et C_{GB} en série avec la résistance de polarisation R_P se comportent comme un filtre passe haut à la sortie duquel est connectée la grille du transistor. Ainsi, en augmentant la résistance R_P , il est possible de réduire la tension de déclenchement de la structure (V_{tl}).

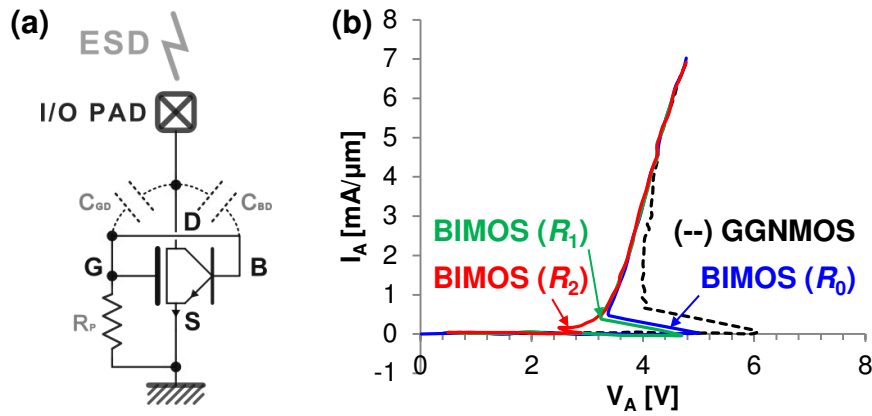


Figure 1.26 : (a) Représentation schématique d'un Bi-MOS laissant apparaître la capacité parasite Drain-Grille, (b) Mesures (TLP 100 ns) d'un Bi-MOS pour différentes valeurs de R_P : $R_0 < R_1 < R_2$ et d'un GGNMOS obtenues en technologie CMOS 32 nm d'après [Galy 2012].

1.2.4.4. Thyristor

Le Thyristor [Romanescu 2011] (ou SCR pour « Silicon Controlled Rectifier »), dispositif classique de l'électronique de puissance, est constitué d'une alternance de 4 zones dopées : PNPN. La Figure 1.27 montre la vue en coupe de ce composant. L'anode est formée d'une implantation P+ dans un caisson N, la cathode est formée d'une implantation N+ dans un caisson P. Nous pouvons remarquer que la structure PNPN laisse apparaître un transistor PNP imbriqué dans un transistor NPN, la jonction base-collecteur centrale étant commune aux deux transistors bipolaires. C'est un dispositif unidirectionnel qui est beaucoup utilisé du fait de sa grande efficacité pour shunter des courants importants. Son déclenchement repose généralement sur l'avalanche de la jonction centrale, permettant d'activer le PNP et le NPN en injectant des porteurs dans leurs bases, puis d'initier une contre réaction positive entre ces deux éléments conduisant

à un phénomène d'auto-maintien. La caractéristique I_A - V_A du thyristor est typiquement en forme de « S » et présente un retournement (« snapback »).

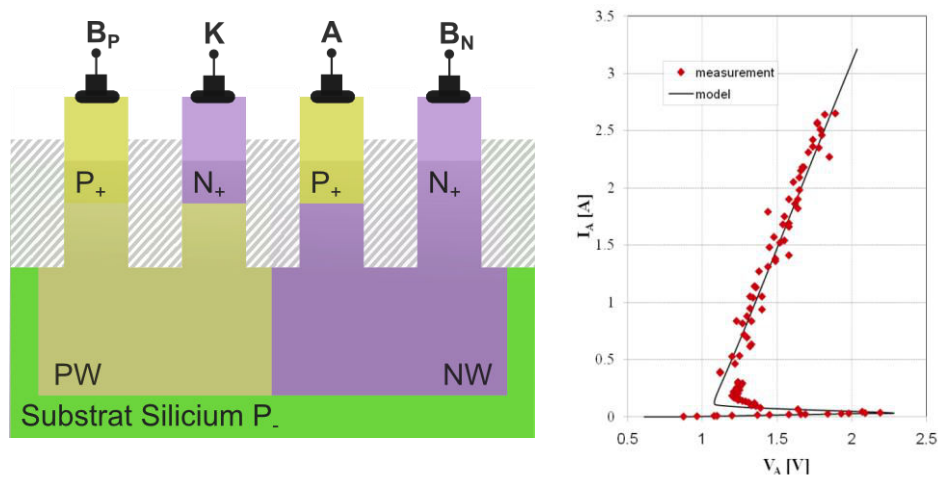


Figure 1.27 : *Vue en coupe d'un thyristor «bulk» et courbe I_A - V_A en technologie CMOS 40 nm [Romanescu 2010] (une résistance de 50Ω est connectée entre NW et l'anode A afin de faciliter le déclenchement).*

La tension de déclenchement V_{t1} d'un SCR seul peut être relativement élevée, et souvent fatale pour le circuit protégé puisqu'elle repose sur l'avalanche de la jonction NW/PW et donc sur un fort champ électrique. Le champ critique à atteindre pour déclencher le mécanisme d'avalanche dépend des paramètres technologiques tels que les dopages [Sze 1981] des NW et PW. Le thyristor seul est ainsi souvent incompatible avec les technologies avancées requérant des V_{t1} faibles. Pour pallier cela, il est possible de lier le thyristor à un circuit auxiliaire de déclenchement. Le principe d'un circuit de déclenchement est d'injecter du courant dans une des bases (B_N ou B_P) dans le but d'activer l'un des deux transistors bipolaires, qui à son tour déclenchera la structure complète PNP. Différentes méthodes de déclenchement existent [Ker 2005]:

- Chaîne de diodes (DTSCR : « Diode Triggered SCR ») [Mergens 2003]. Ces diodes sont connectées entre le NW (PW) et la cathode (anode) (Figure 1.28), et se retrouvent donc en série avec la jonction base-émetteur du PNP. Une fois la tension d'anode suffisante, un courant de base est injecté par les diodes dans le PNP, qui déclenche la structure complète.

- Circuit de détection dynamique RC permettant, en situation d'ESD, de shunter le NW à la masse, à travers une résistance (STMSCR : « Smart Triggered Multifinger SCR ») [Caillard 2003]. Cette résistance joue le même rôle que la chaîne de diodes et permet le déclenchement du PNP en injectant un courant dans sa base lorsque la tension est suffisante. Le circuit de détection déconnecte la résistance de la masse en dehors d'une situation ESD afin de ne pas causer de courant de fuite élevé.
- Insérer en surface, une zone fortement dopée N+ (MLSCR : « Modified Lateral SCR » [Duvvury 1992]) entre le NW et le PW. Grâce à cette technique, la tension d'avalanche de la jonction centrale (NW/PW) est abaissée, permettant de déclencher le thyristor.
- Intégrer un GG-NMOS entre le NW et la Cathode [Chatterjee 1991] (LVTSCR : « Low Voltage Triggering SCR » ou GG-SCR). L'avalanche de la jonction drain-canal du GG-NMOS a lieu plus tôt que celle de la jonction centrale, et permet de mettre en conduction le SCR à une tension plus faible (Figure 1.29).

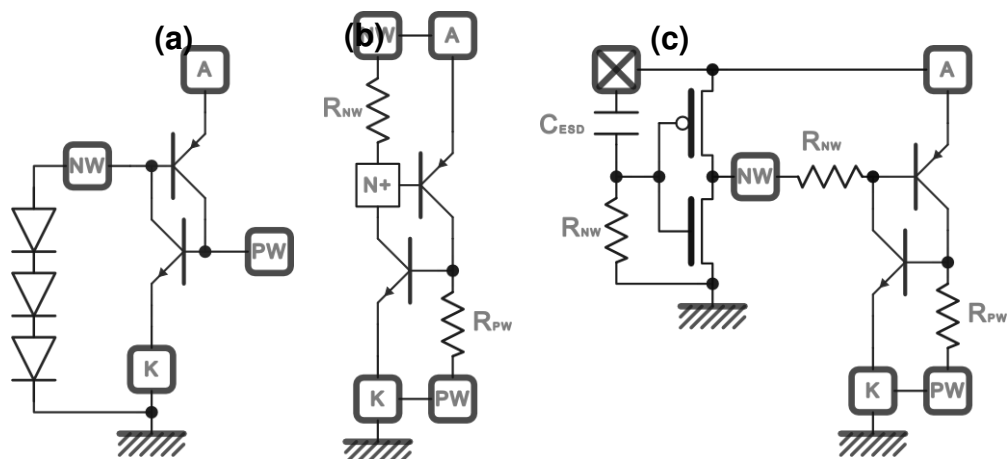


Figure 1.28 Schéma électrique du (a) DTSCR, (b) MLSCR, (c) STMSCR.

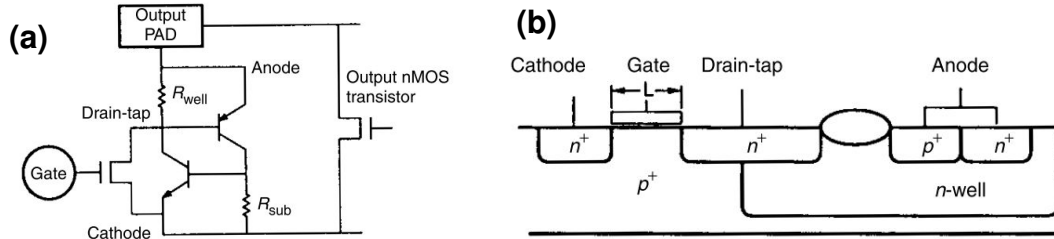


Figure 1.29 : (a) Représentation schématique du LVTSCR en tant que protection d'un NMOS de sortie et (b) vue en coupe du LVTSCR, d'après [Amerasekera 2002], [Chatterjee 1991].

1.2.5. Méthodes de caractérisation spécifiques aux protections ESD

1.2.5.1. Transmission Line Pulse (TLP)

La caractérisation expérimentale en « régime ESD » ne peut être effectuée en imposant un courant continu (DC) aux dispositifs étudiés, car de trop fortes valeurs de courant sont atteintes pouvant occasionner leur destruction par un échauffement excessif. La solution est de se placer en régime quasi-statique, les dispositifs sont ainsi soumis à des impulsions de courant d'une durée limitée, l'énergie thermique qu'ils doivent dissiper est donc réduite. Cette technique, appelée TLP [Maloney 1985] est la plus répandue pour l'étude du comportement des protections dans les domaines temporels et de puissance des ESD. Elle permet de reconstruire la caractéristique I-V à partir de la réponse en tension des structures. Les impulsions de courant sont générées par la décharge d'une ligne coaxiale de longueur déterminée. De cette longueur dépend la durée des impulsions. La méthode TDT « Time Domain Transmission » [Amerasekera 2002] est utilisée (Figure 1.30). Un oscilloscope mesure la tension incidente (V_I) et la tension transmise (V_T) et les signaux courant et tension sont reconstitués comme suit :

$$V_{DUT} = V_T$$

$$I_{DUT} = \frac{2 \cdot V_I - V_T}{Z_0} - \frac{V_T}{Z_0}$$

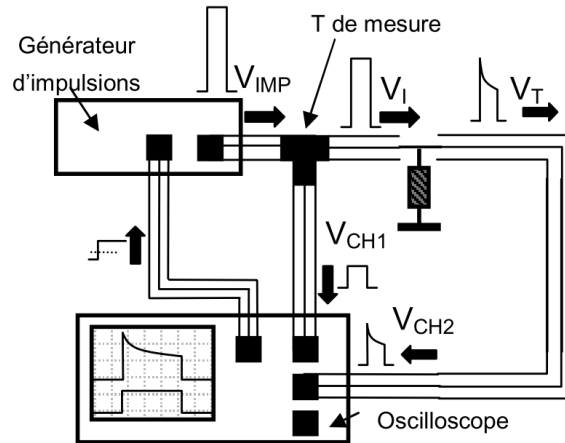


Figure 1.30 : Technique de caractérisation TDT [Manouvrier 2007].

Des impulsions d'amplitude croissante sont envoyées au DUT (« Device Under test »). Entre chaque impulsion, la défaillance du composant est mesurée. Ce test de défaillance consiste en une mesure DC qui permet d'obtenir l'évolution du comportement du composant durant le test. Ainsi, une dégradation ou une casse du DUT peut être détectée. Par exemple, le courant de fuite (DC) est tracé, et lorsqu'il augmente d'un facteur 2 par rapport à sa valeur initiale, on considère la structure comme défaillante. Ainsi, le courant maximum pouvant circuler dans la structure (I_{t2} , voir Figure 1.13) est déterminé.

La durée et le temps de montée (on utilise souvent l'abréviation RT pour « Rise Time ») des impulsions est paramétrable. Pour une bonne corrélation entre le courant de défaillance (I_{t2}) obtenu en TLP, et la tenue en tension HBM, des impulsions de 100 ns avec un temps de montée de 10 ns sont utilisées [Beebe 1996], [Lee 2000], [Barth 2001]. Dans ces conditions, la performance HBM peut être déterminée.

$$V_{HBM} = I_{t2\ TLP} \cdot R_{HBM}, \quad (R_{HBM} = 1,5\ k\Omega)$$

Il est possible de faire varier les paramètres des impulsions, par exemple le temps de montée peut être diminué pour abaisser la tension de déclenchement d'un thyristor (« dV/dt triggering » [Park 2010], [Russ 1999]). Aussi, la durée des impulsions peut être diminuée, jusqu'à la nanoseconde environ [Gieser 1996], ce qui permet, avec des temps

de montée courts, de l'ordre de 250 ps, de se rapprocher de la gamme de temps des décharges de type CDM, on parle alors de technique « Very-Fast » TLP (VFTLP).

1.2.5.2. Very Fast Transient Characterization System (VFTCS)

La technique VFTCS « Very Fast Transient Characterization System » [Manouvrier 2007] permet d'obtenir des informations complémentaires par rapport au TLP. Même si le banc de mesure VFTCS est similaire au TLP (et utilise la technique TDT), l'objectif est différent. L'intérêt du VFTCS n'est pas forcément d'obtenir la performance « fort-courant » des protections, mais plutôt d'étudier finement leur déclenchement, ainsi que leur réponse transitoire, notamment les différences entre surtension « overshoot » et régime établi.. Une différence importante par rapport au TLP est l'utilisation du sur-échantillonnage [Manouvrier 2008]. Des impulsions identiques sont soumises de façon répétitive au composant sous test. Cela permet d'augmenter significativement la résolution temporelle de mesure (inférieure à 100 fs), et d'obtenir des relevés de réponses temporelles très précis.

1.3. Conclusion

Dans ce chapitre, nous avons mis en évidence les avantages des technologies de type SOI, et comment, grâce à la supériorité de leur contrôle électrostatique, elles permettent de relever les défis de miniaturisation des circuits intégrés. Cependant, la sensibilité aux décharges électrostatiques est d'autant plus forte que le nœud technologique est avancé. Les événements ESD pouvant être extrêmement dommageable pour la fonctionnalité du circuit, il est nécessaire d'implémenter des protections pour s'en prémunir. Nous avons présenté les solutions traditionnellement utilisées en tant que protection sur silicium massif (« Bulk »). Nous avons vu que selon le type de stratégie choisi, il est possible d'utiliser des diodes, des transistors MOS ou des thyristors. Cependant, en technologie

SOI, la présence de l'oxyde enterré (BOX) peut poser problème. En effet, la plupart de ces dispositifs mettent en jeu des courants verticaux circulant dans le volume du substrat silicium. Le BOX, en tant qu'isolant, peut empêcher ces chemins de courant de s'étendre verticalement. De ce fait, le portage de ces structures de protection vers les technologies SOI pose problème. Dans la partie suivante, nous effectuerons une étude de différentes solutions implémentables sur SOI proposées dans la littérature.

1.4. Bibliographie

- [AMD 2014] AMD, "AMD Website," 2014. [Online]. Available: <http://www.amd.com/en-us>. [Accessed: 10-Jun-2014].
- [Amerasekera 2002] A. Amerasekera and C. Duvvury, ESD in Silicon Integrated Circuits, 2nd ed. Wiley, 2002.
- [Auth 2012] C. Auth, C. Allen, A. Blattner, D. Bergstrom, M. Brazier, M. Bost, M. Buehler, V. Chikarmane, T. Ghani, T. Glassman, R. Grover, W. Han, D. Hanken, M. Hattendorf, P. Hentges, R. Heussner, J. Hicks, D. Ingerly, P. Jain, S. Jaloviar, R. James, D. Jones, J. Jopling, S. Joshi, C. Kenyon, H. Liu, R. McFadden, B. McIntyre, J. Neiryneck, C. Parker, L. Pipes, I. Post, S. Pradhan, M. Prince, S. Ramey, T. Reynolds, J. Roesler, J. Sandford, J. Seiple, P. Smith, C. Thomas, D. Towner, T. Troeger, C. Weber, P. Yashar, K. Zawadzki, and K. Mistry, "A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors," in 2012 Symposium on VLSI Technology (VLSIT), 2012, pp. 131–132.
- [Barth 2001] J. E. Barth, K. Verhaege, L. G. Henry, and J. Richner, "TLP calibration, correlation, standards, and new techniques," Electron. Packag. Manuf. IEEE Trans., vol. 24, no. 2, pp. 99–108, 2001.
- [Beebe 1996] S. G. Beebe, "Methodology for layout design and optimization of ESD protection transistors," in Electrical Overstress/Electrostatic Discharge Symposium, 1996. Proceedings, 1996, pp. 265–275.
- [Bœuf 2013] F. Bœuf, "Device challenges and opportunities for 10nm and below CMOS nodes," in Short Course of the Electron Devices Meeting (IEDM), 2013 IEEE International, 2013.

- [Caillard 2003] B. Caillard, F. Azais, S. Dournelle, P. Salome, and P. Nouet, "STMSCR: A new multi-finger SCR-based protection structure against ESD," in *Electrical Overstress/Electrostatic Discharge Symposium, 2003. EOS/ESD '03*, 2003, pp. 1–9.
- [Cao 2009] S. Cao, T. W. Chen, S. G. Beebe, and R. W. Dutton, "ESD design challenges and strategies in deeply-scaled integrated circuits," in *2009 IEEE Custom Integrated Circuits Conference*, 2009, no. Cicc, pp. 681–688.
- [Cao 2010] S. Cao, J. Chun, E. Choi, S. Beebe, W. Anderson, and R. Dutton, "Investigation on Output Driver with Stacked Devices for ESD Design Window Engineering," in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD)*, 2010 32nd, 2010, no. 1, pp. 1–8.
- [Chatterjee 1991] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Device Lett.*, vol. 12, no. 1, pp. 21–22, 1991.
- [Colinge 2004] J.-P. Colinge, *Silicon-on-Insulator Technology : Materials to VLSI*, 3rd ed. Springer, 2004.
- [Colinge 2007] J.-P. Colinge, *FinFETs and Other Multi-Gate Transistors*, vol. 2007. Springer Publishing Company, Incorporated, 2007, p. 339.
- [Dabral 1999] S. Dabral and T. Maloney, *Basic ESD and I/O Design*. Wiley, 1999.
- [Duvvury 1992] C. Duvvury and R. Rountree, "A synthesis of ESD input protection scheme," *J. Electrostat.*, vol. 29, no. 1, pp. 1–19, 1992.
- [Duvvury 2008] C. Duvvury, "ESD qualification changes for 45nm and beyond," in *2008 IEEE International Electron Devices Meeting*, 2008, pp. 1–4.
- [Faynot 2010] O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Beranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J.-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, Casse, M., X. Garros, M.-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brevard, C. Tabone, P. Gaud, S. Barraud, T. Ernst, and S. Deleonibus, "Planar Fully depleted SOI technology: A powerful architecture for the 20nm node and beyond," in *Electron Devices Meeting (IEDM)*, 2010 IEEE International, 2010, pp. 3.2.1 –3.2.4.

- [Fenouillet-Beranger 2009] C. Fenouillet-Beranger, S. Denorme, P. Perreau, C. Buj, O. Faynot, F. Andrieu, L. Tosti, S. Barnola, T. Salvétat, X. Garros, M. Cassé, F. Allain, N. Loubet, L. Pham-Nguyen, E. Deloffre, M. Gros-Jean, R. Beneyton, C. Laviron, M. Marin, C. Leyris, S. Haendler, F. Leverd, P. Gouraud, P. Scheiblin, L. Clement, R. Pantel, S. Deleonibus, and T. Skotnicki, "FDSOI devices with thin BOX and ground plane integration for 32nm node and below," *Solid. State. Electron.*, vol. 53, no. 7, pp. 730–734, 2009.
- [Fenouillet-Beranger 2010] C. Fenouillet-Beranger, O. Thomas, P. Perreau, J. J.-P. Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, F. Baron, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, Casse, M., C. Borowiak, O. Weber, F. Andrieu, S. Denorme, F. Boeuf, O. Faynot, T. Skotnicki, K. K. Bourdelle, B. Y. Nguyen, F. Boedt, C. De Buttet, and M. Cassé, "Efficient multi-VT FDSOI technology with UTBOX for low power circuit design," in *VLSI Technology (VLSIT)*, 2010 Symposium on, 2010, pp. 65–66.
- [Gallon 2007] C. Gallon, "Architectures avancées de transistors CMOS SOI pour le noeud 32nm et en deçà : films ultra-fins, contraintes mécaniques, BOX mince et plan de masse," Thèse de doctorat, Grenoble INP, 2007.
- [Galy 2012] P. Galy, J. Jimenez, J. Bourgeat, A. Dray, G. Troussier, B. Heitz, N. Guitard, D. Marin-cudraz, and H. Beckrich-Ros, "BIMOS transistor and its applications in ESD protection in advanced CMOS technology," in *2012 IEEE International Conference on IC Design & Technology*, 2012, no. 1, pp. 1–4.
- [Galy 2013] P. Galy, J. Bourgeat, T. Lim, C. Fenouillet-Beranger, and D. Golanski, "ESD protection with BIMOS transistor for bulk & FDSOI advanced CMOS technology," in *CAS 2013 (International Semiconductor Conference)*, 2013, vol. 2, pp. 171–174.
- [Gieser 1996] H. Gieser and M. Haunschild, "Very-fast transmission line pulsing of integrated structures and the charged device model," in *Electrical Overstress/Electrostatic Discharge Symposium*, 1996. Proceedings, 1996, pp. 85–94.
- [Goeau 2005] C. Goeau, C. Richier, P. Salome, J.-P. J. Chante, H. Jaouen, C. Goëau, P. Salomé, J. Monnet, and C. France, "Impact of the CDM tester ground plane capacitance on the DUT stress level," in *Electrical Overstress/Electrostatic Discharge Symposium, 2005. EOS/ESD '05.*, 2005, no. 1, pp. 1–8.

- [Griffoni 2010] A. Griffoni, S. Thijs, C. Russ, D. Tremouilles, D. Linten, M. Scholz, E. Simoen, C. Claeys, G. Meneghesso, and G. Groeseneken, "Electrical-Based ESD Characterization of Ultrathin-Body SOI MOSFETs," *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 1, pp. 130–141, 2010.
- [Hu 2010] C. Hu, *Modern semiconductor devices for integrated circuits*, 1st ed. Prentice Hall Upper Saddle River, NJ, 2010, pp. 89–156.
- [IBM corporation 2014] IBM corporation, "IBM Website," 2014. [Online]. Available: <http://www.ibm.com/us/en/>. [Accessed: 10-Jun-2014].
- [Intel corporation 2014] Intel corporation, "Intel Website," 2014. [Online]. Available: <http://www.intel.com/>. [Accessed: 10-Jun-2014].
- [Ker 2005] M.-D. Ker and K.-C. Hsu, "Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS integrated circuits," *Device Mater. Reliab. IEEE Trans.*, vol. 5, no. 2, pp. 235–249, 2005.
- [Khakifirooz 2012] A. Khakifirooz, K. Cheng, Q. Liu, T. Nagumo, N. Loubet, A. Reznicek, J. Kuss, J. Gimbert, R. Sreenivasan, M. Vinet, L. Grenouillet, Y. Le Tiec, R. Wacquez, Z. Ren, J. Cai, D. Shahrjerdi, P. Kulkarni, S. Ponothe, S. Luning, and B. Doris, "Extremely thin SOI for system-on-chip applications," in *Custom Integrated Circuits Conference (CICC)*, 2012 IEEE, 2012, pp. 1–4.
- [Lee 2000] J. C. Lee, M. A. Hoque, G. D. Croft, J. J. Liou, W. R. Young, and J. C. Bernier, "A method for determining a transmission line pulse shape that produces equivalent results to human body model testing methods," in *Electrical Overstress/Electrostatic Discharge Symposium Proceedings 2000*, 2000, pp. 97–104.
- [Li 2009] J. Li, K. Chatty, R. Gauthier, R. Mishra, and C. Russ, "Technology scaling of advanced bulk CMOS on-chip ESD protection down to the 32nm node," in *Electrical Overstress/Electrostatic Discharge Symposium*, 2009. EOS/ESD 2009, 2009.
- [Lim 1983] H.-K. Lim, J. G. Fossum, and V. I. Summary, "Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's," *Electron Devices, IEEE Trans.*, vol. 30, no. 10, pp. 1244–1251, 1983.
- [Liu 1993] Z.-H. Liu, C. Hu, J.-H. Huang, T.-Y. Chan, M.-C. Jeng, P. K. Ko, and Y. C. Cheng, "Threshold voltage model for deep-

- submicrometer MOSFETs,” IEEE Trans. Electron Devices, vol. 40, no. 1, pp. 86–95, 1993.
- [Liu 2013] Q. Liu, M. Vinet, J. Gimbert, N. Loubet, R. Wacquez, L. Grenouillet, Y. Le Tiec, A. Khakifirooz, T. Nagumo, K. Cheng, H. Kothari, D. Chanemougame, F. Chafik, S. Guillaumet, J. Kuss, F. Allibert, G. Tsutsui, J. Li, P. Morin, S. Mehta, R. Johnson, L. F. Edge, S. Ponoth, T. Levin, S. Kanakasabapathy, B. Haran, H. Bu, J.-L. Bataillon, O. Weber, O. Faynot, E. Josse, M. Haond, W. Kleemeier, M. Khare, T. Skotnicki, S. Luning, B. Doris, M. Celik, and R. Sampson, “High performance UTBB FDSOI devices featuring 20nm gate length for 14nm node and beyond,” in 2013 IEEE International Electron Devices Meeting, 2013, pp. 9.2.1–9.2.4.
- [Maloney 1985] T. Maloney and N. Khurana, “Transmission Line Pulsing Technique For Circuit Modeling Of ESD Phenomena,” in Proc. 7th EOS/ESD Symposium, 1985, pp. 49–54.
- [Manouvrier 2007] J. J.-R. Manouvrier, P. Fonteneau, C.-A. C. Legrand, P. Nouet, and F. Azaïs, “Characterization of the transient behavior of gated/STI diodes and their associated BJT in the CDM time domain,” in 29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD, 2007, no. 1, pp. 3A.2–1 –3A.2–10.
- [Manouvrier 2008] J.-R. J. Manouvrier, “Comportement des diodes de protection lors des évènements transitoires rapides dus aux ESD : outils de caractérisation, physique du semi-conducteur et modélisation CMOS,” Thèse de doctorat, Université de Montpellier II, 2008.
- [McKitterick 1989] J. B. McKitterick and A. L. Caviglia, “An analytic model for thin SOI transistors,” Electron Devices, IEEE Trans., vol. 36, no. 6, pp. 1133–1138, 1989.
- [Mergens 2001] M. P. J. Mergens, “On-Chip ESD Protection in Integrated Circuits: Device Physics, Modeling, Circuit Simulation,” Swiss Federal Institute of technology Zurich, 2001.
- [Mergens 2003] M. P. J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, R. Mohn, B. Keppens, and C. S. Trinh, “Diode-triggered SCR (DTSCR) for RF-ESD protection of BiCMOS SiGe HBTs and CMOS ultra-thin gate oxides,” in Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International, 2003, pp. 21.3.1 – 21.3.4.

- [Moore 2006] G. E. Moore, "Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp.114 ff.," IEEE Solid-State Circuits Newsl., vol. 20, no. 3, pp. 33–35, 2006.
- [Packan 2009] P. Packan, S. Akbar, M. Armstrong, D. Bergstrom, M. Brazier, H. Deshpande, K. Dev, G. Ding, T. Ghani, O. Golonzka, W. Han, J. He, R. James, J. Jopling, C. Kenyon, S.-H. Lee, M. Liu, S. Lodha, B. Mattis, A. Murthy, L. Neiberg, J. Neiryneck, S. Pae, C. Parker, L. Pipes, J. Sebastian, J. Seiple, B. Sell, A. Sharma, S. Sivakumar, B. Song, A. S. Amour, K. Tone, T. Troeger, C. Weber, K. Zhang, Y. Luo, S. Natarajan, R. Heussner, and A. St. Amour, "High performance 32nm logic technology featuring 2nd generation high-k + metal gate transistors," in 2009 IEEE International Electron Devices Meeting (IEDM), 2009, pp. 1–4.
- [Park 2009] D. Park, K. Stein, K. Schroefer, Y. Lee, J. Han, W. Li, H. Yin, C. Pacha, N. Kim, M. Ostermayr, and M. Eller, "High-K/Metal Gate Low Power Bulk Technology - Performance Evaluation of Standard CMOS Logic Circuits, Microprocessor Critical Path Replicas, and SRAM for 45nm and beyond," in VLSI Technology, 2009, pp. 90–92.
- [Park 2010] J.-Y. Park, J.-K. Song, C.-S. Jang, Y.-S. Son, and D.-W. Kim, "Analysis and modeling of a Low Voltage Triggered SCR ESD protection clamp with the very fast Transmission Line Pulse measurement," in Quality Electronic Design (ISQED), 2010 11th International Symposium on, 2010, pp. 206–210.
- [Planes 2012] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Beranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquand, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, "28nm FDSOI technology platform for high-speed low-voltage digital applications," in VLSI Technology (VLSIT), 2012 Symposium on, 2012, pp. 133–134.
- [Romanescu 2010] A. Romanescu, P. Fonteneau, C. Legrand, P. Ferrari, J. Arnould, J. Manouvrier, and H. Beckrich-Ros, "A novel physical model for the SCR ESD protection device," in Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd, 2010, pp. 1–10.

- [Romanescu 2011] A. Romanescu, “Modèle compact paramétrable du SCR pour applications ESD,” Thèse de doctorat, Université de Grenoble, 2011.
- [Russ 1999] C. Russ, “ESD Protection Devices for CMOS Technologies: Processing Impact, Modeling and Testing Issues,” Shaker Verlag, 1999.
- [Semenov 2008] O. Semenov, H. Sarbishaei, and M. Sachdev, ESD Protection Device and Circuit Design for Advanced CMOS Technologies, 1st ed. Springer Publishing Company, Incorporated, 2008.
- [Skotnicki 1988] T. Skotnicki, G. Merckel, and T. Pedron, “The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects,” IEEE Electron Device Lett., vol. 9, no. 3, pp. 109–112, 1988.
- [Stockinger 2006] M. Stockinger and J. W. Miller, “Characterization and Modeling of Three CMOS Diode Structures in the CDM to HBM Timeframe,” in Electrical Overstress/Electrostatic Discharge Symposium, 2006. EOS/ESD '06., 2006, pp. 56–63.
- [Sze 1981] S. M. Sze, Physics of Semiconductor Devices, 2nd Ed. Wiley, 1981.
- [Trémouilles 2004] D. Trémouilles, “Optimisation et modélisation de protections intégrées contre les décharges électrostatiques, *par l’analyse de la physique mise en jeu*,” Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2004.
- [Tsividis 1999] Y. Tsividis, Operation and modeling of the MOS transistor, 2nd ed. McGraw-Hill, 1999, p. 620.
- [Vinson 1998] J. E. Vinson and J. J. Liou, “Electrostatic discharge in semiconductor devices: an overview,” Proc. IEEE, vol. 86, no. 2, pp. 399–420, 1998.
- [Vinson 2000] J. E. Vinson and J. J. Liou, “Electrostatic discharge in semiconductor devices: protection techniques,” Proc. IEEE, vol. 88, no. 12, pp. 1878–1902, 2000.

Chapitre 2

Revue des dispositifs ESD en SOI

Le premier chapitre nous a permis d'introduire les technologies Silicium sur Isolant totalement désertées (FD-SOI). Nous avons aussi vu quels sont les défis et les problématiques liées aux Décharges Electrostatiques ainsi que les solutions « traditionnelles » (pour les technologies « bulk »). Dans ce chapitre, nous allons examiner les approches spécifiques adaptées au Silicium sur Isolant. Dans un premier temps, nous décrirons le portage des dispositifs standards exposés au Chapitre 1. Ensuite, nous présenterons les solutions adoptées à l'échelle industrielle. Pour finir, nous décrirons les protections innovantes, issues de la littérature.

2.1. Le portage des approches « standards »

Nous détaillons ici le portage des dispositifs couramment utilisés sur silicium massif (« bulk »), vers les technologies SOI. Porter des dispositifs depuis un substrat massif, vers un substrat SOI signifie reprendre globalement un dessin identique des circuits (« layout ») et donc des masques pour la fabrication sur SOI. Le dispositif SOI ainsi fabriqué doit répondre aux mêmes spécifications que le dispositif « bulk ». Les différentes stratégies de portages « bulk » vers SOI ont été exhaustivement étudiées dans [Benoist 2012b].

Le MOSFET Bulk peut être porté quasi-directement sur SOI, à la seule différence qu'une ouverture de l'oxyde enterré (BOX) doit être réalisée pour contacter la grille arrière (« ground plane »). Un GG-NMOS est ainsi réalisable dans le film de silicium, comme montré dans la Figure 2.1. Au nœud 45 nm (PDSOI pour Silicium sur Isolant Partiellement Déserté), le GG-NMOS sur SOI dispose d'une robustesse $I_{t2} = 3,3 \text{ mA}/\mu\text{m}$ [Li 2008], pour une capacité parasite de $0,72 \text{ fF}/\mu\text{m}$. En technologie FDSOI [Benoist 2011], il a été montré que la tension de déclenchement V_{t1} est grandement réduite et passe de $6,68 \text{ V}$ (en bulk) à $3,35 \text{ V}$ (FDSOI avec un BOX épais de 145 nm) pour un NMOS, avec $V_G = 0 \text{ V}$, $L_G = 270 \text{ nm}$ et un EOT de $3,2 \text{ nm}$. Si l'épaisseur du BOX est réduite à 13 nm , V_{t1} est augmenté à $3,7 \text{ V}$. Cela est certainement expliqué par un plus fort couplage capacitif du plan de masse sur la base (flottante) du NPN parasite lorsque le BOX est fin. De plus, il semblerait qu'une réduction de la tension de grille arrière diminue sensiblement V_{t1} [Fenouillet-Beranger 2012], probablement à cause d'une augmentation du champ électrique à proximité du drain. Dans cette même technologie, un courant de défaillance $I_{t2} = 1,5 \text{ mA}/\mu\text{m}$ a été mesuré pour le BOX épais ($t_{\text{BOX}} = 145 \text{ nm}$), augmenté à $I_{t2} = 3,4 \text{ mA}/\mu\text{m}$ pour $t_{\text{BOX}} = 13 \text{ nm}$. C'est le signe d'une dissipation thermique améliorée lorsque l'épaisseur de l'oxyde enterré est réduite, plus t_{BOX} est fin, plus l'auto-échauffement du dispositif est faible [Takahashi 2013]. Cela constitue, sans aucun doute un autre avantage des architectures à BOX ultra fin (UTBB).

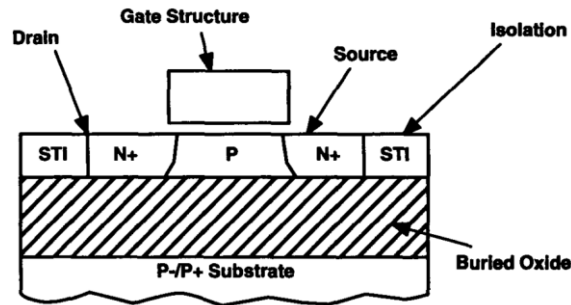


Figure 2.1 : Intégration d'un NMOS de protection dans le film SOI (d'après [Voldman 1996]).

La diode à grille « Gated Diode », peut aussi être fabriquée directement en SOI [Voldman 1996] (Figure 2.2). Elle ne dispose alors plus que d'une conduction latérale, contrairement à la diode « bulk ». Son courant de défaillance est plus élevé que celui du GG-NMOS : I_{t2} est autour de 8 mA/ μm en technologie PD-SOI 45 nm, pour une capacité parasite (la capacité apportée par la protection entre le plot d'entrée et la masse) de 0,35 fF/ μm [Li 2008]. L'épaisseur du BOX joue aussi un rôle fondamental dans la performance d'une diode de protection. En effet, la diminution de l'épaisseur de l'oxyde enterré améliore clairement la dissipation thermique (comme pour les MOSFETs) [Benoist 2010] et il en résulte un moindre échauffement à fort courant, une mobilité plus élevée, une résistance série diminuée, ainsi qu'une robustesse améliorée.

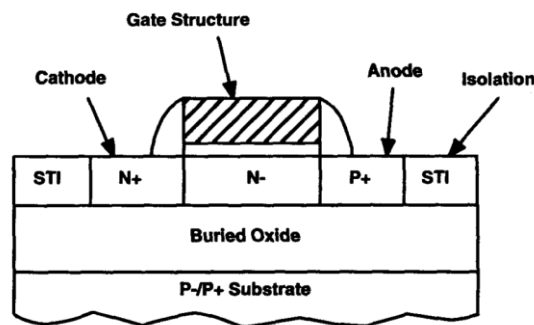


Figure 2.2 : Intégration d'une "gated diode" dans le film SOI (d'après [Voldman 1996]).

Certains éléments de protection sont ainsi transposables à moindre effort depuis le bulk vers le SOI, avec en contrepartie une augmentation de R_{ON} et une baisse du courant

maximal I_{t2} d'un facteur au moins égal à deux [Benoist 2010]. Ce portage n'est malheureusement pas vérifié pour tous les composants de puissance traditionnellement utilisés dans les stratégies de protection ESD. La présence de l'oxyde enterré empêche la conduction de courant de s'effectuer en volume dans le substrat. Ces chemins de courants se retrouvent notamment lors du fonctionnement de la diode STI (voir partie 1.2.4.1) ou du thyristor (voir partie 1.2.4.4). il n'est donc pas possible d'implémenter directement ces deux composants en SOI. Nous allons détailler des approches alternatives dans la suite de ce chapitre.

2.2. L'approche industrielle : Hybridation du substrat

Afin d'apporter plus de liberté quant aux choix de l'architecture des dispositifs, une option est la co-intégration hybride FDSOI/Bulk. Il s'agit d'une approche désormais standard pour les nœuds technologiques 28 nm et au-delà. La co-intégration de régions SOI et « Bulk » sur la même plaquette est proposée dès les technologies partiellement désertées (PDSOI) 250 nm [Hannon 2000] et 130 nm [Ho 2001]. L'objectif est alors de réaliser les circuits logiques dans le film SOI, mais les mémoires DRAM « Dynamic Random Access Memory » dans les régions « bulk ». Le procédé repose alors sur la technique SIMOX (Implantation d'Oxygene pour la formation de l'oxyde enterré [Colinge 2004]), utilisant un masque supplémentaire pour localiser les zones SOI. Une amélioration du procédé est apportée en technologie 180 nm PDSOI [Yamada 2002] : la plaquette de départ est entièrement SOI (obtenu par collage [Colinge 2004]), puis pour réaliser les zones bulk, le film de silicium et le BOX sont localement gravés puis épitaxiés afin d'éliminer toute différence de niveau. La même démarche a été mise en œuvre et simplifiée dans une technologie FDSOI [Hou-Yu Chen 2005], avec des épaisseurs $t_{si} = t_{BOX} = 20$ nm, sans ré-épitaxie, occasionnant des « marches » entre zones SOI et bulk. Par la suite, un procédé d'hybridation similaire est mis en place pour les technologies FDSOI sub-32 nm [Fenouillet-Beranger 2009] avec $t_{si} = 8$ nm et

$t_{\text{BOX}} = 25 \text{ nm}$. La création de zones hybrides est d'abord indispensable pour l'accès à la grille arrière des NMOS et PMOS (réalisé par implantation de « ground planes », entrant dans la composition des circuits logiques, voir partie 1.1.2.3). Un autre avantage de la co-intégration est qu'elle permet d'envisager des dispositifs de puissance verticaux tels que les protections ESD jusqu'à présent impossibles à réaliser tels les thyristors. Ainsi, selon les caractéristiques de chacun des composants, il est désormais possible de choisir dans quelle zone (SOI ou bulk) les placer. Typiquement, les dispositifs de puissance utilisés en ESD (GGNMOS, BIMOS, SCR, Diodes...) sont implémentés dans les zones hybrides [Dray 2012], [Golanski 2013].

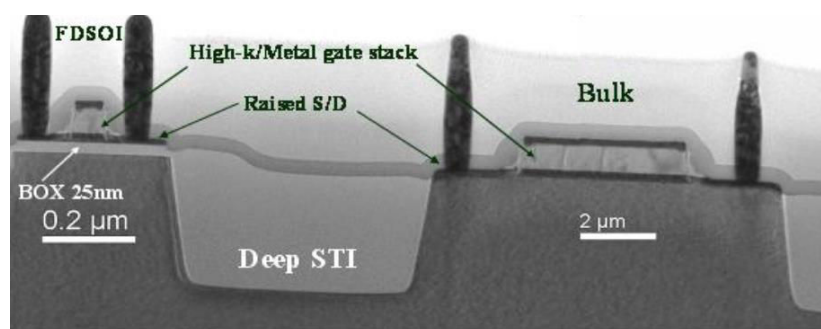


Figure 2.3 : Vue en coupe obtenue par microscopie TEM d'une co-intégration hybride FDSOI/Bulk.

2.2.1. Diode « Under the BOX »

Une stratégie originale envisageable en technologies SOI est de réaliser le dispositif de puissance sous l'oxyde enterré. Un des premiers exemples d'une telle implémentation est la diode sous le BOX [Salman 2004]. La fabrication de ce dispositif nécessite de graver le film de silicium et le BOX, afin d'atteindre le substrat. Ensuite, les implantations sources et drains sont utilisées pour doper l'anode et la cathode (sous le BOX). La vue en coupe de cette structure est montrée dans la Figure 2.4.

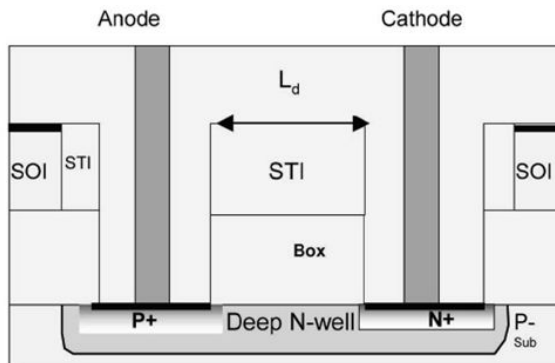


Figure 2.4 : Vue en coupe de la Diode « sous le BOX » [Salman 2006b].

Comparativement à une diode à grille fabriquée dans la même technologie, dans le film SOI, les performances fort-courant sont améliorées. Ceci s'explique par l'augmentation du volume de silicium permettant la dissipation thermique et l'accroissement des surfaces de jonction. La résistance série de la diode de substrat est plus faible, et le courant maximum I_{t2} est multiplié par quatre (I_{t2} passe d'environ 10 mA/ μm à environ 40 mA/ μm) par rapport à la diode SOI, comme illustré dans la Figure 2.5. Cependant, la diode SOI dans le film garde des avantages, elle est plus transparente (en termes de fuite et de capacité parasite) et est plus facilement portable [Salman 2004] :

- La capacité parasite anode-cathode, normalisée par unité de surface reste inférieure : 1fF/ μm environ pour la diode SOI et 2fF/ μm pour la diode sous le BOX.
- Le courant de fuite est beaucoup plus élevé à cause de deux composantes : effet tunnel bande-à-bande de la jonction P+/NWell et « perçage » du bipolaire P+/NWell/Psub. Le rôle du Nwell est donc crucial dans ces deux phénomènes. Il est réalisé avec une implantation de phosphore à haute énergie (environ 200keV). La dose de cet implant doit ainsi être optimisée précisément dans le but de trouver le meilleur compromis entre les deux mécanismes de fuite.

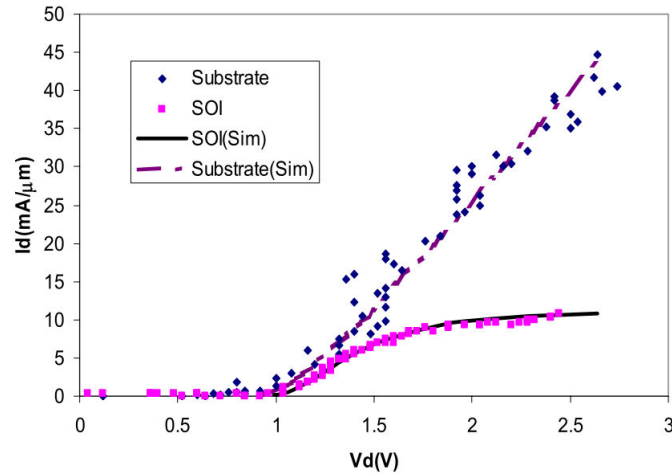


Figure 2.5 : Caractéristiques quasi statiques I_A-V_A (TLP) de la diode « under the BOX » (ici notée « substrate ») comparée à une diode à grille dans le film SOI, d'après [Salman 2004].

La suite de ce chapitre détaille différentes pistes permettant de concevoir des dispositifs de protection dans le film SOI. Les avantages et inconvénients de chacune des approches seront aussi explicités.

2.3. Solutions « innovantes »

2.3.1. Résistance à Effet de Champ (FER)

La résistance à effet de champ (FER pour « Field Effect Resistor » [Salman 2012]) consiste en deux résistances P+/PW/P+ abutées. Au-dessus des zones PW sont ajoutées des grilles de contrôle. Une structure bidirectionnelle est ainsi créée, pouvant être utilisée comme protection locale unique pour les décharges positives et négatives (Figure 2.6).

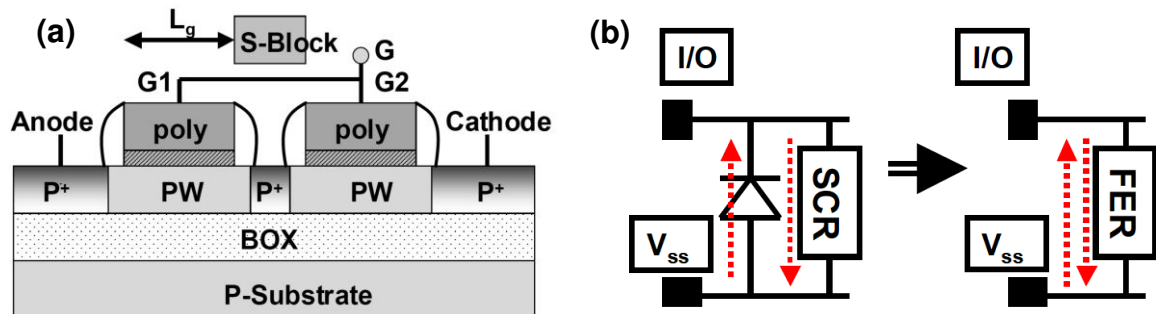


Figure 2.6 : (a) Vue en coupe de la FER [Cao 2009], et (b) son utilisation en tant que protection locale bidirectionnelle comparée au SCR qui nécessite l'ajout d'une diode « de retour ».

La concentration de porteurs sous les grilles en poly-silicium peut être modulée par effet de champ. Dans ce but, les deux grilles sont reliées entre elles, et permettent de changer le mode d'opération de la structure. En régime de fonctionnement normal (le circuit est alimenté), les grilles sont à l'état haut ($V_{G1} = V_{G2} = V_{dd}$), ainsi, les zones des diffusions « PW » dans le film sont dépeuplées, similairement à des PMOS à appauvrissement, et éventuellement inversées. On obtient ainsi un agencement P+/N/P+/N/P+. De ce fait, la résistivité de la structure est grandement augmentée, le courant de fuite est alors faible ($I_{leak} < 2 \mu A/\mu m$ [Cao 2009], pour $L_{G1} = L_{G2} = 0,35 \mu m$ et $V_G = V_{dd} = 1 V$). En régime de conduction ESD, les grilles sont laissées flottantes, la concentration de trous (dépendant de la dose d'atomes accepteurs implantés) dans le film fixe la résistivité de la FER qui est alors un agencement P+/P/P+/P/P+. Plusieurs approches possibles pour réduire le courant de fuite circulant dans la structure ont été étudiées dans [Cao 2009] :

- Changer le type de poly-silicium employé pour les grilles,
- Réduire l'épaisseur du film de silicium, permettant de diminuer la surface des jonctions, et ainsi les courants de fuite associés,
- Réduire la dose du dopage sous les grilles, permettant de dépeupler, et d'inverser les deux canaux pour un V_G plus faible.

2.3.2. Diode à Effet de Champ (FED)

Initialement, la FED (pour « Field Effect Diode ») a été conçue pour être utilisée en tant que dispositif de commutation abrupte [Raissi 1996]. Ses caractéristiques sont en effet tout à fait adaptées pour des applications logiques à haute vitesse [Sheikhian 2003]. La FED utilise deux grilles adjacentes, comme illustré dans la Figure 2.7.

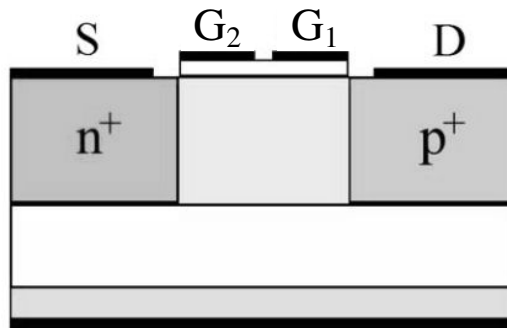


Figure 2.7 : Représentation de la FED (d'après [Manavizadeh 2011]).

Son fonctionnement repose sur la création de deux barrières d'injection : coté cathode (source), empêchant les électrons de passer vers le canal et côté anode (drain), et le passage des trous de passer vers le canal. Si la longueur de diffusion des porteurs est suffisante, les deux barrières sont en contre réaction :

- Les trous injectés depuis l'anode peuvent atteindre la cathode, ils contribuent ainsi au courant de la jonction canal-cathode.
- Cette augmentation de courant se traduit par une réduction de la barrière de potentiel coté cathode.
- La barrière étant réduite, plus d'électrons peuvent être injectés depuis la cathode, vers le canal et atteignent la jonction anode-canal.
- Ce courant abaisse alors encore plus la première barrière.

Pour que les deux barrières soient présentes, la grille du côté de la cathode « G2 » doit être polarisée en accumulation, et celle du côté de l'anode « G1 » en inversion. Dans

ces conditions, la structure peut être qualifiée de PNPV virtuel. Les jonctions, ainsi que les barrières associées sont représentées sur la Figure 2.8.

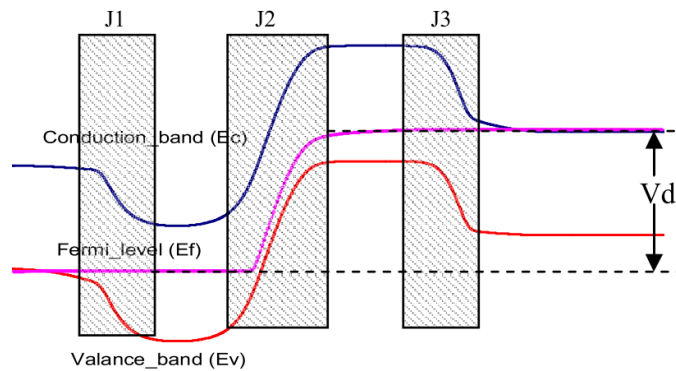


Figure 2.8 : Diagramme de bandes obtenu par simulation de la FED, pour $V_G > 0$ V et $V_D > 0$ V, (d'après [Salman 2006a]).

L'intérêt du contrôle des bandes d'énergies, et donc des barrières de potentiel, est de pouvoir ajuster les caractéristiques électriques du dispositif par effet de champ. Ainsi, la tension de déclenchement peut être modulée grâce à la tension de la grille à côté de l'anode. En effet, plus la tension V_{G1} augmente, plus la tension de déclenchement V_{t1} est grande. Ce comportement est confirmé par la caractéristique expérimentale du courant d'anode (I_A) en fonction de la tension d'anode (V_A) de la Figure 2.9. Si la tension de déclenchement peut dépasser $V_{dd} + 10\%$, il est alors possible d'utiliser la FED en tant que protection ESD locale. Cela est proposé sur la Figure 2.9.

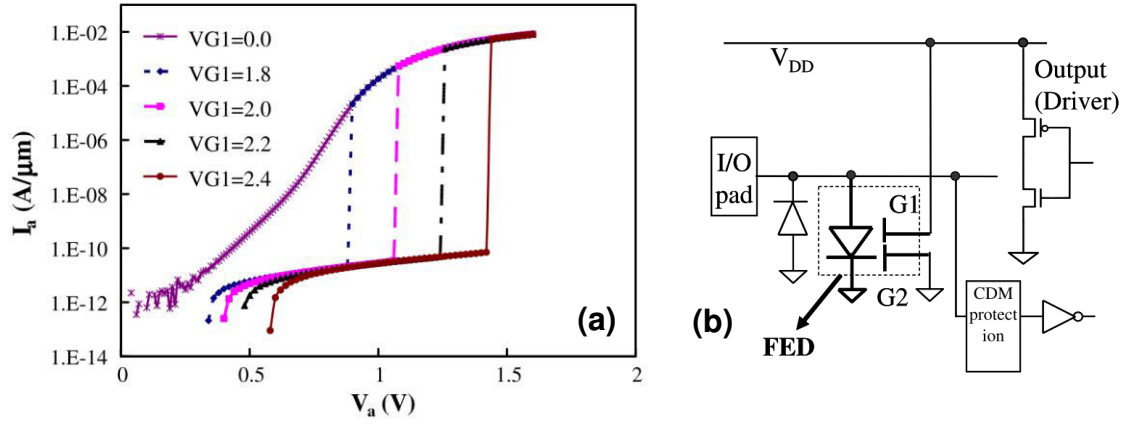


Figure 2.9 : (a) Caractéristique expérimentale I_A - V_A de la FED, avec $N_A = 610^{16} \text{ cm}^{-3}$, $L_{G1} = L_{G2} = 500 \text{ nm}$, $t_{\text{si}} = 70 \text{ nm}$, avec $V_{G2} = 0 \text{ V}$ et (b) son utilisation en tant que protection locale [Yang 2008].

Différentes pistes ont été explorées, notamment l'influence du dopage du canal N_A , de la réduction des dimensions de grilles L_G , de la distance inter-grilles L_{GAP} et de l'épaisseur de silicium t_{si} . Il a été montré que la diminution de l'épaisseur t_{si} permet de maintenir une tension de déclenchement élevée et mieux contrôlée par la grille G1 [Yang 2009] (Figure 2.10). Les travaux précédents ont aussi permis d'observer une performance ESD maximale de $I_{t2} = 8 \text{ mA} / \mu\text{m}$ [Salman 2006a]. Par ailleurs, l'augmentation de I_{t2} avec la diminution de la durée des impulsions TLP (vf-TLP) permet de démontrer l'efficacité de la FED en tant que protection CDM [Cao 2009].

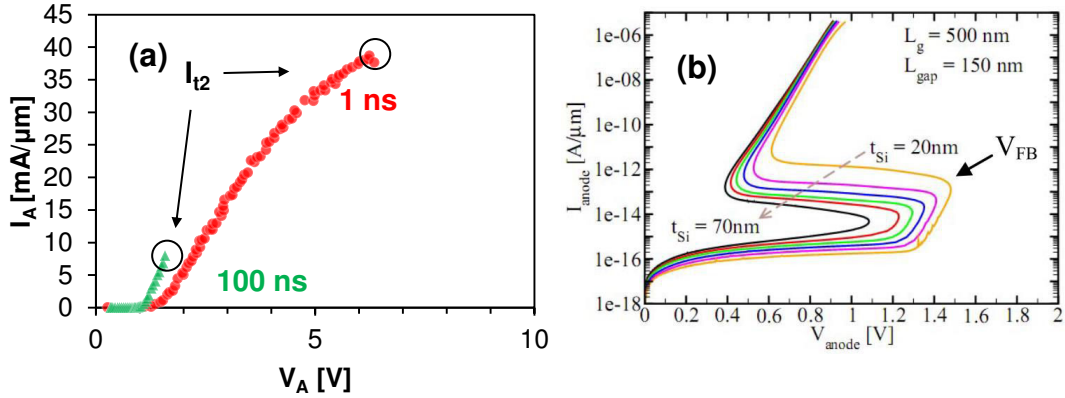


Figure 2.10 : (a) Caractérisations vf-TLP de la FED en technologie PDSOI [Salman 2006a], (b) simulations de la FED montrant l'impact de t_{Si} [Yang 2009].

Les travaux précédents concernent des technologies PDSOI et ne donnent que peu d'indication sur l'évolution des caractéristiques faible courant (V_{t1} , I_{leak}) et forts courants (R_{on} , I_{t2}) pour des épaisseurs de silicium inférieures à 20 nm, valeur typique de t_{Si} en FDSOI. Plus loin, dans cette thèse, l'implémentation et les caractérisations électriques d'une FED, en technologie FDSOI, seront détaillées. Par ailleurs, une nouvelle structure utilisant deux barrières d'injection contrôlées par effet de champ, mais avec une seule grille avant sera présentée.

2.3.3. FED avec caissons (DWFED)

Une structure hybride entre un thyristor et une diode à effet de champ (FED) a été proposée [Salman 2007], [Salman 2011] en tant que protection ESD locale (DWFED pour Double Well Field Effect Diode). Contrairement à la FED, une seule grille avant est présente et deux caissons (wells) sont implantés dans le film, comme montré dans la Figure 2.11. Une concentration élevée est utilisée pour les caissons P et N, permettant de s'assurer que ces zones ne se dépeuplent pas, sous l'action du champ latéral à fort V_A . Dans ce cas, la jonction centrale (J2) est polarisée en inverse et ses zones de charge d'espace ne doivent pas atteindre les autres jonctions J1 et J3, ce qui occasionnerait un « perçage » : les barrières de potentiel seraient abaissées et causeraient un courant de fuite de l'anode vers la cathode.

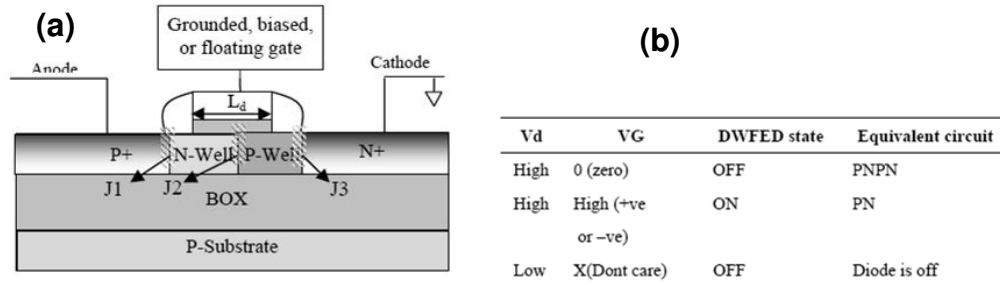


Figure 2.11 : (a) Vue en coupe de la DWFED, et (b) modes d'opération (la V_d est la tension d'anode) d'après [Salman 2007].

L'unique grille permet de changer le mode de conduction de la structure. Lorsque $V_G = 0$ V, la tension de déclenchement la plus élevée (mode « OFF ») est obtenue (Figure 2.12a). A l'inverse lorsque la tension de grille est suffisamment positive (ou négative), le caisson P-Well (ou N-Well) se dépeuple, permettant l'injection de porteurs depuis la cathode (ou l'anode). Un courant de défaillance I_{t2} de 12 mA/ μm a été obtenu en technologie 65 nm PDSOI. Pour cette technologie, la capacité entre l'anode et la cathode a été mesurée à environ 0,22 fF/ μm , pour $L_G = 500$ nm [Cao 2011]. La DWFED présente aussi un déclenchement rapide, inférieur à 500 ps, la surtension pouvant être réduite en polarisant la grille avant (Figure 2.12b).

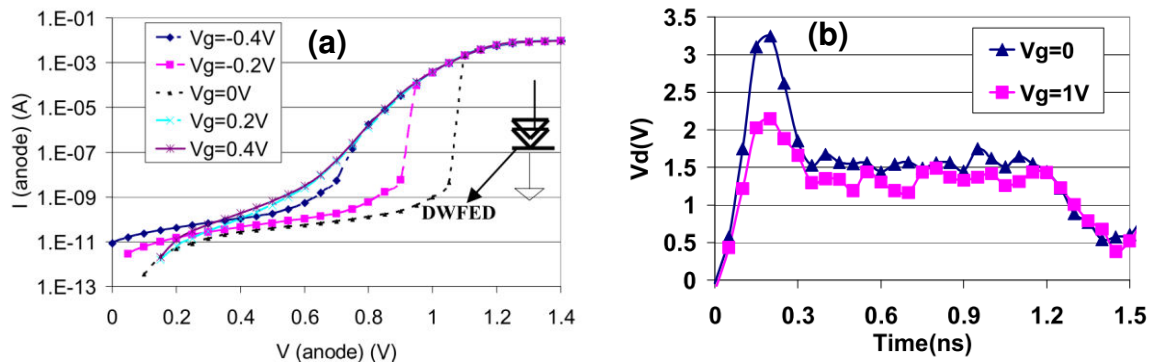


Figure 2.12 : (a) Caractéristique I-V DC de la DWFED [Salman 2007], pour $V_G = 0$ V et $L_G = 500$ nm, (b) Réponse transitoire de la DWFED, pour deux tensions de grille avant [Salman 2008].

2.3.4. Thyristor Latéral (LSCR)

Le thyristor étant l'un des éléments de protection les plus robustes en technologie « bulk » [Romanescu 2011], il est naturellement le fruit de nombreuses études concernant son portage vers le SOI. Dans le film SOI, il est possible de réaliser un thyristor latéral (LSCR pour « Lateral Silicon Controlled Rectifier »), au prix de quelques adaptations : L'anode et la cathode ne peuvent plus être séparées par une tranchée d'isolation (STI, voir partie 1.2.4.4) car celle-ci empêcherait tout passage du courant. En SOI, du fait de la présence du BOX, la conduction est contrainte latéralement, la solution est de laisser une région de silicium active entre l'anode et la cathode, pour former les caissons N et P (Nwell et Pwell sur la Figure 2.13). En plus de cela, un oxyde de protection, dénommé : RPO pour « Resist Protect Oxide », SB ou SBLK pour « Silicide Block », est déposé entre les zones contactées (anode, cathode, prises de base N et P) afin d'empêcher tout court-circuit des jonctions dû à la siliciuration.

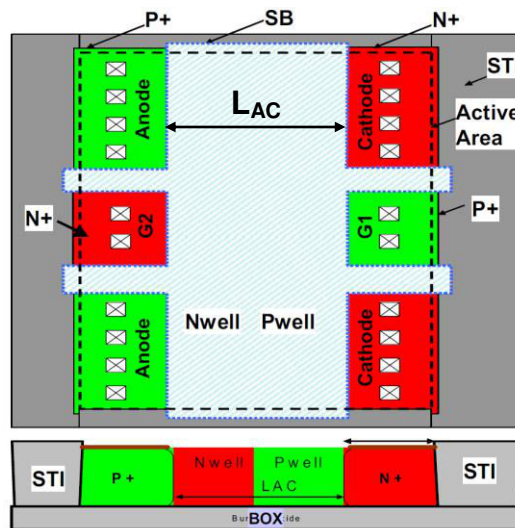


Figure 2.13: Dessin et vue en coupe du thyristor latéral en SOI [Mergens 2005].

Le LSCR sur SOI a été fabriqué en technologie 130 nm, puis 65 nm partiellement déserté (PDSOI). Les premières analyses démontrent la fonctionnalité de ce dispositif, et dans ces technologies où l'épaisseur typique du film de silicium est supérieure ou égale à 90 nm, des performances $I_{t2} = 14 \text{ mA}/\mu\text{m}$ (PDSOI 130nm), puis de $I_{t2} = 10,5 \text{ mA}/\mu\text{m}$

(PDSOI 65nm) ont été mesurées [Mergens 2005]. Ces valeurs correspondent à une multiplication par quatre des performances obtenues par les GGNMOS dans ces mêmes technologies. En technologie 45 nm, une performance $I_{t2} = 10,1 \text{ mA}/\mu\text{m}$, associée à une capacité parasite de $0,3\text{fF}/\mu\text{m}$ et à un temps de déclenchement très court de 75 ps sont obtenus [Gauthier Jr 2013], [Li 2012] pour un espacement anode-cathode de 400 nm. Comme pour le thyristor sur silicium massif, plusieurs méthodologies existent pour adapter les points de déclenchement (V_{t1} , I_{t1}) et de maintien (V_h , I_h) de la structure. Il est envisageable d'utiliser des chaines de diodes en série sur les bases du SCR [Marichal 2005], [Jozwiak 2005], on parle alors de DTSCR (voir partie 1.2.4.4). Il est aussi possible de changer les dimensions physiques de la structure, comme les longueurs des bases N et P [Li 2012]. L'impact de la longueur du SCR L_{AC} (« Anode to Cathode spacing » : la somme des longueurs des deux bases) sur la performance I_{t2} et la tension de maintiens V_H est reportée sur la Figure 2.14. Il a par ailleurs été proposé d'augmenter localement l'épaisseur du film de silicium par une épitaxie d'environ 100 nm [Hsu 2000]. Cette croissance de silicium étant locale et dédiée aux protections ESD, les auteurs revendiquent une diminution significative de R_{ON} et une augmentation d' I_{t2} donnée par le rapport :

$$\frac{I_{t2EPI}}{I_{t20}} = \frac{t_{epi} + t_{si0}}{t_{si0}}$$

Avec :

t_{si0} l'épaisseur native du film de silicium,

t_{epi} l'épaisseur de l'épitaxie,

I_{t20} le courant maximum du thyristor SOI sans épitaxie,

I_{t2EPI} le courant maximum du thyristor SOI après épitaxie.

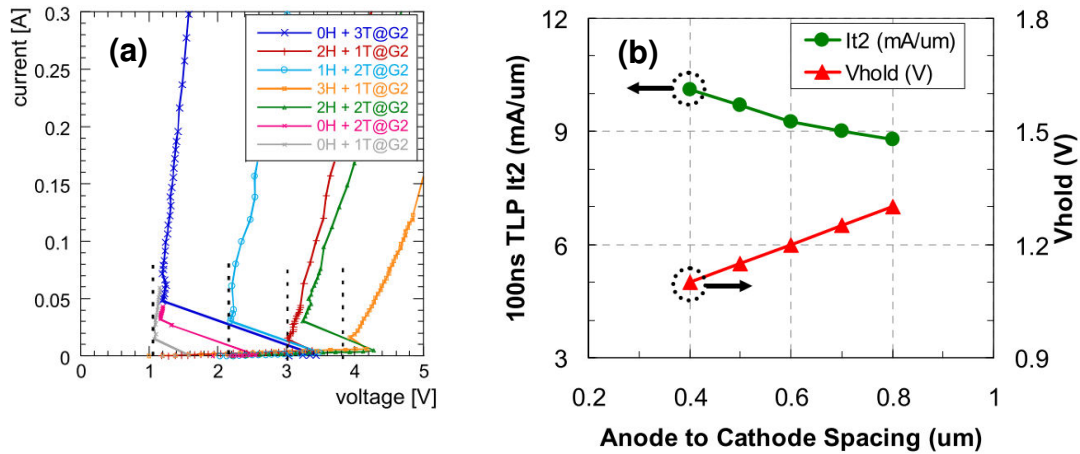


Figure 2.14 : (a) Caractéristiques I_A - V_A TLP d'un SCR [Marichal 2005] avec des chaines de diodes (DTSCR), (b) Evolution du courant maximum et du courant de maintien en fonction de la longueur du dispositif [Li 2012].

La relative « lenteur » du déclenchement d'un SCR, due aux temps de transit des porteurs dans les deux bases, est une de ses limites sur silicium massif. La Figure 2.15 montre l'évolution du temps de réponse de thyristors sur SOI avec la réduction de l'espacement entre anode et cathode. Les temps de déclenchement sont très courts, signe d'une bonne efficacité pour l'évacuation d'événements ESD rapides. Une amélioration du LSCR consiste en l'ajout d'une grille de contrôle au-dessus de la base P (Pwell) [Entringer 2006]. Cette modification ne dégrade pas significativement le courant de défaillance du composant (entre 8 mA/ μ m et 9 mA/ μ m) et a pour impact de modifier ses caractéristiques de déclenchement quasi-statiques (V_{t1}) ainsi que dynamiques (diminution significative de la surtension). Par ailleurs, une autre application du thyristor à grille est envisageable en SOI. Il peut être employé en tant que mémoire [Nemati 1999], [Nemati 2004]. Le dispositif s'appelle le TCCT pour « Thin Capacitively Coupled Thyristor » et a été fabriqué et caractérisé en technologie 130 nm [Ershov 2005], [Yang 2006]. Une cellule mémoire SRAM classique à 6 transistors est quatre fois plus encombrante qu'une cellule utilisant un TCCT.

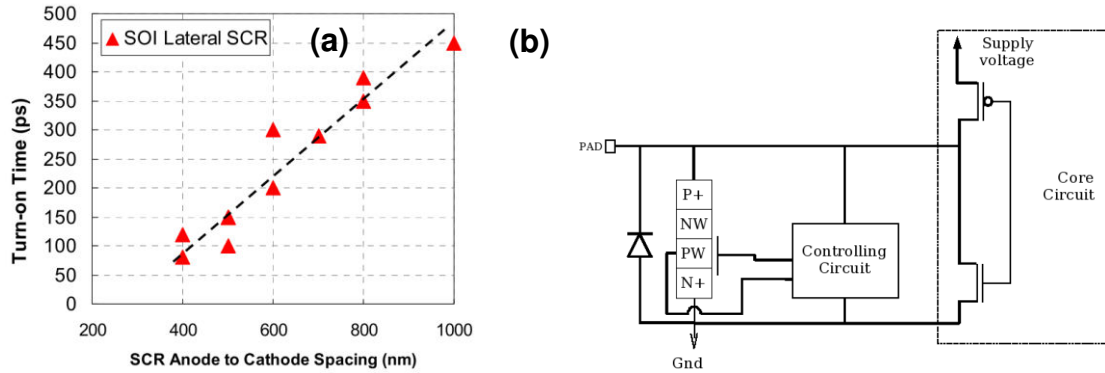


Figure 2.15 : (a) évolution du temps de déclenchement avec la longueur du SCR, obtenue expérimentalement [Li 2012], (b) Proposition d'implémentation d'un thyristor à Grille en tant que protection locale en technologie PDSOI 130 nm [Entringer 2006].

2.3.5. TRIAC

Le TRIAC (« Triode AC switch ») est un dispositif comprenant deux thyristors imbriqués. Il s'agit d'un composant bidirectionnel puisque le premier et le second SCR sont montés en antiparallèle. Afin de symétriser la structure, une seconde base de type P est ajoutée. Il est ainsi possible de fusionner les deux thyristors dans la même zone active. La siliciuration est empêchée sur les zones de diffusions centrales (bases) grâce à un masque de blocage (RPO). Les zones P+ et N+ des anodes et cathodes sont cependant siliciurées afin d'être contactées électriquement. Le TRIAC est schématisé dans la Figure 2.16.

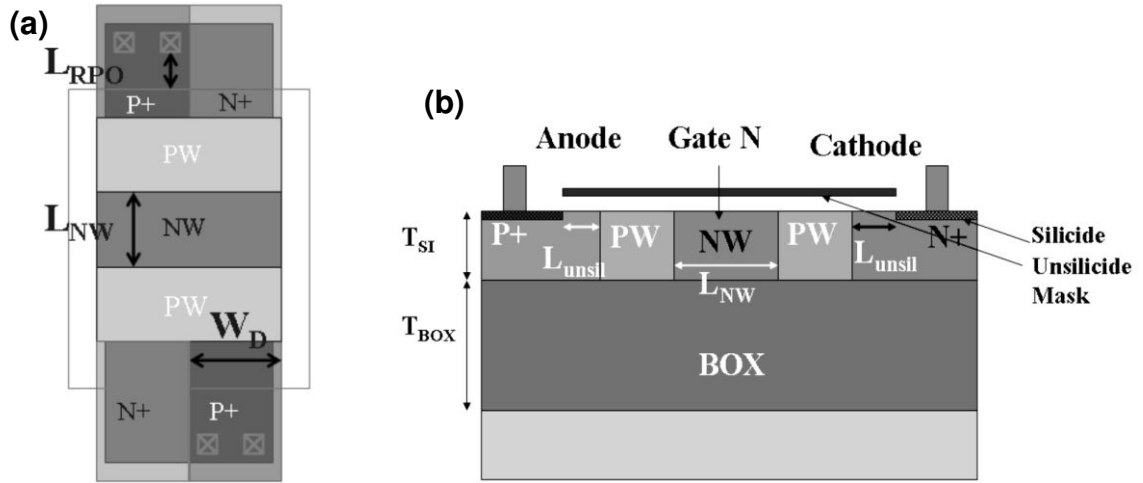


Figure 2.16(a) Vue de dessus du dessin d'un triac, (b) Vue en coupe du TRIAC sur SOI [Benoist 2012a], [Galy 2013].

Ce composant est bidirectionnel, de ce fait, il est utilisable pour évacuer une décharge positive ou négative comme montré dans la Figure 2.17. Il est par exemple utilisable en tant que protection locale, sans ajout d'un dispositif supplémentaire (du type « diode de retour »). Dans le cas d'une décharge positive, le courant circulera depuis la zone P+ de l'anode, vers la zone N+ de la cathode, ainsi, seulement la moitié du film de silicium est utile à la conduction. L'autre moitié sert de dissipateur thermique et permet d'aider l'évacuation de la chaleur latéralement. Lors d'une décharge négative, la partie utile à la conduction et la partie utile à la dissipation thermique échangent leur rôle. Par conséquent, la performance « fort courant » de cette structure est excellente. Ce dispositif a été implémenté en technologie CMOS 65nm PDSOI, avec un oxyde enterré épais $t_{BOX} = 145$ nm, un film de silicium $t_{si} = 55$ nm [Benoist 2012a], un dopage des bases N et P de l'ordre de $N_{A,D} = 1 \cdot 10^{17} \text{ cm}^{-3}$, et une longueur $L_{NW} = 220$ nm. Le courant de fuite (à $V_{dd} = 1.8$ V) a été mesuré à 14 pA/ μm , confirmant la transparence de ce dispositif lors du fonctionnement normal du circuit. Le courant de défaillance, atteignant $I_{t2} = 12,5$ mA/ μm , reste l'une des meilleures performances rapportée à ce jour.

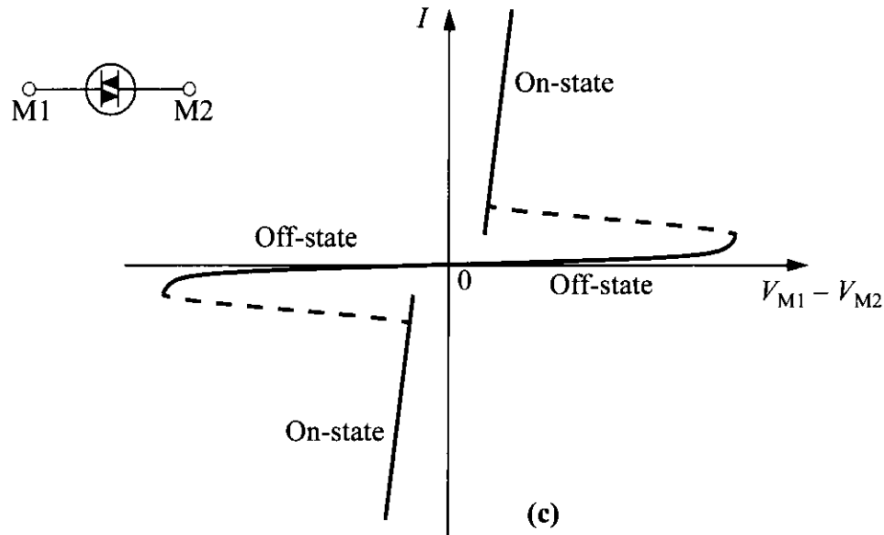


Figure 2.17 Caractéristique électrique I_A - V_A d'un TRIAC « bulk » (d'après [Sze 1981]).

2.4. Conclusions

Dans cette partie, nous avons pu voir que de nombreuses pistes existent et ont été explorées pour les technologies SOI. D'une part, l'approche industrielle en FDSOI repose sur l'hybridation du substrat permettant de réaliser des dispositifs similaires à ceux présents sur silicium massif. D'autre part, des dispositifs spécifiquement localisés dans le film SOI peuvent être fabriqués et disposent de caractéristiques intéressantes comme des niveaux de courant de fuite et des capacités parasites remarquablement faibles. Ces dispositifs ont généralement été étudiés pour des technologies à film de silicium et BOX épais (PDSOI 130 nm, 65 nm, 45 nm), très peu de publications rapportent des résultats en ce qui concerne les films ultra fins tels que pour la technologie FDSOI. Les travaux de cette thèse, comme nous allons le voir par la suite, s'orientent vers des dispositifs de protection innovants localisés dans le film de silicium ultra-fin (nativement inférieur à 10 nm en FDSOI) au-dessus d'un oxyde enterré mince.

2.5. Bibliographie

- [Benoist 2010] T. Benoist, C. Fenouillet-Beranger, N. Guitard, J.-L. Huguenin, S. Monfray, P. Galy, C. Buj, F. Andrieu, P. Perreau, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, and P. Gentil, “Improved ESD protection in advanced FDSOI by using hybrid SOI/bulk Co-integration,” in Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd, 2010, pp. 1–6.
- [Benoist 2010] T. Benoist, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, and P. Gentil, “ESD robustness of FDSOI gated diode for ESD network design: Thin or thick BOX?,” in SOI Conference (SOI), 2010 IEEE International, 2010, pp. 1–2.
- [Benoist 2011] T. Benoist, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, and P. Gentil, “Experimental investigation of ESD design window for fully depleted SOI N-MOSFETs,” *Microelectron. Eng.*, vol. 88, no. 7, pp. 1276–1279, 2011.
- [Benoist 2012a] T. Benoist, P. Galy, C. Buj, O. Faynot, S. Cristoloveanu, P. Gentil, and P. Benoist, Thomas Galy, “Bi-directionnal Silicon Controlled Rectifier on 65nm PDSOI technology for ESD protection,” in *EuroSOI Conference Proceedings*, 2012, 2012, pp. 25–26.
- [Benoist 2012b] T. Benoist, “Conception de protections contre les décharges électrostatiques sur technologies avancées silicium sur isolant,” Thèse de doctorat, Université de Grenoble, École Doctorale EEATS (Grenoble INP), 2012.
- [Cao 2009] S. Cao, S. G. Beebe, A. A. Salman, M. M. Pelella, J.-H. Chun, and R. W. Dutton, “Field effect diode for effective CDM ESD protection in 45 nm SOI technology,” in *Reliability Physics Symposium*, 2009 IEEE International, 2009, pp. 594–601.
- [Cao 2011] S. Cao, J.-H. Chun, A. A. Salman, S. G. Beebe, and R. W. Dutton, “Gate-controlled field-effect diodes and silicon-controlled rectifier for charged-device model ESD protection in advanced SOI technology,” *Microelectron. Reliab.*, vol. 51, no. 4, pp. 756–764, 2011.
- [Colinge 2004] J.-P. Colinge, *Silicon-on-Insulator Technology : Materials to VLSI*, 3rd ed. Springer, 2004.

- [Dray 2012] A. Dray, N. Guitard, P. Fonteneau, D. Golanski, R. Sithanandam, T. Benoist, C. C.-A. Legrand, P. Galy, C. Fenouillet-Beranger, and H. Beckrich, "ESD design challenges in 28nm hybrid FDSOI/Bulk advanced CMOS process," in *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012 34th, 2012, no. 1, pp. 1–7.
- [Entringer 2006] C. Entringer, P. Flatresse, P. Galy, F. Azais, and P. Nouet, "Partially Depleted SOI body-contacted MOSFET-triggered silicon controlled rectifier for ESD protection," in *Electrical Overstress/Electrostatic Discharge Symposium*, 2006. *EOS/ESD '06.*, 2006, pp. 166–171.
- [Ershov 2005] M. Ershov, F. Nemati, R. Gupta, V. Gopalakrishnan, R. Gooty, M. Tarabbia, K. J. Yang, S. Banna, D. Hayes, H. J. Cho, and S. Robins, "Optimization of substrate doping for back-gate control in SOI T-RAM memory technology," in *SOI Conference*, 2005. *Proceedings*. 2005 IEEE International, 2005, pp. 215–216.
- [Fenouillet-Beranger 2009] C. Fenouillet-Beranger, P. Perreau, L. Pham-Nguyen, S. Denorme, F. Andrieu, L. Tosti, L. Brevard, O. Weber, S. Barnola, T. Salvétat, X. Garros, M. Casse, M. Cassé, C. Leroux, J. . Noel, O. Thomas, B. Le-Gratiet, F. Baron, M. Gatefait, Y. Campidelli, F. Abbate, C. Perrot, C. de-Buttet, R. Beneyton, L. Pinzelli, F. Leverd, P. Gouraud, M. Gros-Jean, a. Bajolet, C. Mezzomo, C. Leyris, S. Haendler, D. Noblet, R. Pantel, a. Margain, C. Borowiak, E. Josse, N. Planes, D. Delprat, F. Boedt, K. Bourdelle, B. Y. Nguyen, F. Boeuf, O. Faynot, and T. Skotnicki, "Hybrid FDSOI/bulk High-k/metal gate platform for low power (LP) multimedia technology," 2009 IEEE Int. Electron Devices Meet., pp. 1–4, 2009.
- [Fenouillet-Beranger 2012] C. Fenouillet-Beranger, P. Perreau, P. Boulenc, L. Tosti, S. Barnola, F. Andrieu, O. Weber, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, Y. Campidelli, L. Pinzelli, P. Gouraud, A. Margain, S. Peru, K. K. Bourdelle, B. Y. Y. Nguyen, F. Boedt, T. Poiroux, O. Faynot, T. Skotnicki, F. Boeuf, and C. De Buttet, "Parasitic bipolar impact in 32nm undoped channel Ultra-Thin BOX (UTBOX) and biased Ground Plane FDSOI high-k/metal gate technology," in *Solid-State Device Research Conference (ESSDERC)*, 2011 *Proceedings of the European*, 2012, vol. 74, no. 0, pp. 111–114.
- [Galy 2013] P. Galy, N. Guitard, and T. Benoist, "Bidirectional Semiconductor Device for Protection Against Electrostatic

- Discharges, Usable on Silicon on Insulator,” US20130214326 A1, 2013.
- [Gauthier 2013] R. J. Gauthier Jr, J. Li, and S. Mitra, “Structure and method for a silicon controlled rectifier (SCR) structure for SOI technology,” US 8384125 B2, 2013.
- [Golanski 2013] D. Golanski, P. Fonteneau, C. Fenouillet-Beranger, A. Cros, F. Monsieur, N. Guitard, C.-A. Legrand, A. Dray, C. Richier, H. Beckrich, P. Mora, G. Bidal, O. Weber, O. Saxod, J.-R. Manouvrier, P. Galy, N. Planes, and F. Arnaud, “First demonstration of a full 28nm high-k/metal gate circuit transfer from Bulk to UTBB FDSOI technology through hybrid integration,” in VLSI Technology (VLSIT), 2013 Symposium on, 2013, pp. T124–T125.
- [Hannon 2000] R. Hannon, S. S. K. Iyer, D. Sadana, J. P. Rice, H. L. Ho, B. A. Khan, and S. S. Iyer, “0.25 μm merged bulk DRAM and SOI logic using patterned SOI,” in 2000 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.00CH37104), 2000, pp. 66–67.
- [Ho 2001] H. L. Ho, M. D. Steigerwalt, B. L. Walsh, T. L. Doney, D. Wildrick, P. A. McFarland, J. Benedict, K. A. Bard, D. Pendleton, J. D. Lee, S. L. Maurer, B. Corrow, and D. K. Sadana, “A 0.13 μm high-performance SOI logic technology with embedded DRAM for system-on-a-chip application,” in International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224), 2001, pp. 22.3.1–22.3.4.
- [Hou-Yu Chen 2005] Hou-Yu Chen, Chang-Yun Chang, Chien-Chao Huang, Tang-Xuan Chung, Sheng-Da Liu, Jiunn-Ren Hwang, Yi-Hsuan Liu, Yu-Jun Chou, Hong-Jang Wu, King-Chang Shu, Chung-Kan Huang, Jan-Wen You, Jaw-Jung Shin, Chun-Kuang Chen, Chia-Hui Lin, Ju-Wang Hsu, Bao-Chin Perng, Pang-Yen Tsai, Chi-Chun Chen, Jyu-Horng Shieh, Han-Jan Tao, Shin-Chang Chen, Tsai-Sheng Gau, and Fu-Liang Yang, “Novel 20nm hybrid SOI/bulk CMOS technology with 0.183 μm /sup 2/ 6T-SRAM cell by immersion lithography,” in Digest of Technical Papers. 2005 Symposium on VLSI Technology, 2005., 2005, pp. 16–17.
- [Hsu 2000] S. T. Hsu, “Method of forming an ultra-thin SOI electrostatic discharge protection device,” US6080612 A, 2000.
- [Jozwiak 2005] P. C. Jozwiak, J. Armer, K. G. M. Verhaege, B. Van Camp, G. Vermont, and O. Marichal, “Low Voltage SCR For Electrostatic Discharge (ESD) Protection of Silicon-On-Insulator Technologies,” US20050212051, 2005.

- [Li 2008] J. Li, S. Mitra, H. Li, M. J. Abou-khalil, K. Chatty, and R. Gauthier, "Capacitance investigation of diode and GGNMOS for ESD protection of high frequency circuits in 45nm SOI CMOS technologies," in *Electrical Overstress/Electrostatic Discharge Symposium*, 2008. EOS/ESD 2008. 30th, 2008, pp. 228–234.
- [Li 2012] J. Li, J. Di Sarro, and R. Gauthier, "Design and optimization of SCR devices for on-chip ESD protection in advanced SOI CMOS technologies," in *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012 34th, 2012, pp. 1–7.
- [Manavizadeh 2011] N. Manavizadeh, F. Raissi, E. A. Soleimani, M. Pourfath, and S. Selberherr, "Performance Assessment of Nanoscale Field-Effect Diodes," *Electron Devices, IEEE Trans.*, vol. 58, no. 8, pp. 2378–2384, 2011.
- [Marichal 2005] O. Marichal, G. Wybo, B. Van Camp, P. Vanysacker, and B. Keppens, "SCR based ESD protection in nanometer SOI technologies," in *Electrical Overstress/Electrostatic Discharge Symposium, 2005. EOS/ESD '05.*, 2005, pp. 1–8.
- [Mergens 2005] M. P. J. Mergens, O. Marichal, S. Thijs, B. Van Camp, and C. C. Russ, "Advanced SCR ESD protection circuits for CMOS/SOI nanotechnologies," in *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*, 2005, pp. 481–488.
- [Nemati 1999] F. Nemati and J. D. Plummer, "A novel thyristor-based SRAM cell (T-RAM) for high-speed, low-voltage, giga-scale memories," in *Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International*, 1999, pp. 283–286.
- [Nemati 2004] F. Nemati, H. Cho, S. Robins, R. Gupta, M. Tarabbia, K. J. Yang, D. Hayes, V. Gopalakrishnan, and H. H. Srams, "Fully planar 0.562 μm^2 T-RAM cell in a 130nm SOI CMOS logic technology for high-density high-performance SRAMs," in *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 273–276.
- [Raissi 1996] F. Raissi, "A brief analysis of the field effect diode and breakdown transistor," *Electron Devices, IEEE Trans.*, vol. 43, no. 2, pp. 362–365, 1996.
- [Romanescu 2011] A. Romanescu, "Modèle compact paramétrable du SCR pour applications ESD," *Thèse de doctorat*, 2011.
- [Salman 2004] A. Salman, M. Pelella, S. Beebe, and N. Subba, "ESD protection for SOI technology using an under-the-box (substrate) diode structure," in *Electrical*

- Overstress/Electrostatic Discharge Symposium, 2004. *EOS/ESD '04.*, 2004, pp. 1–7.
- [Salman 2006a] A. A. Salman, S. G. Beebe, M. Emam, M. M. Pelella, and D. E. Ioannou, “Field Effect Diode (FED): A novel device for ESD protection in deep sub-micron SOI technologies,” in *Electron Devices Meeting, 2006. IEDM '06. International*, 2006, pp. 1–4.
- [Salman 2006b] A. A. Salman, M. M. Pelella, S. G. Beebe, and N. Subba, “ESD protection for SOI technology using under-the-BOX (substrate) diode structure,” *Device Mater. Reliab. IEEE Trans.*, vol. 6, no. 2, pp. 292–299, 2006.
- [Salman 2007] A. A. Salman, S. G. Beebe, and M. M. Pelella, “Double well field effect diode: Lateral SCR-like device for ESD protection of I/Os in deep sub micron SOI,” in *29th Electrical Overstress/Electrostatic Discharge Symposium*, 2007. *EOS/ESD*, 2007, vol. 1, pp. 3A.4–1 –3A.4–7.
- [Salman 2008] A. A. Salman, S. Cao, S. G. Beebe, M. M. Pelella, and R. W. Dutton, “Double-well field effect diode vs. SCR behavior under CDM stress in 45nm SOI technology,” in *2008 IEEE International SOI Conference*, 2008, pp. 143–144.
- [Salman 2011] A. A. Salman and S. G. Beebe, “Electrostatic Discharge protection Devices and Methods for protecting Semiconductor Devices against Electrostatic Discharge Events,” *US7791102B2*, 2011.
- [Salman 2012] A. A. Salman, S. G. Beebe, and S. Cao, “Field Effect resistor for ESD protection,” *US8310011 B2*, 2012.
- [Sheikhian 2003] I. Sheikhian and F. Raissi, “High-speed digital family using field effect diode,” *Electron. Lett.*, vol. 39, no. 4, pp. 345–347, 2003.
- [Sze 1981] S. M. Sze, *Physics of Semiconductor Devices*, 2nd Ed. Wiley, 1981.
- [Takahashi 2013] T. Takahashi, T. Matsuki, T. Shinada, Y. Inoue, and K. Uchida, “Comparison of self-heating effect (SHE) in short-channel bulk and ultra-thin BOX SOI MOSFETs: Impacts of doped well, ambient temperature, and SOI/BOX thicknesses on SHE,” in *2013 IEEE International Electron Devices Meeting*, 2013, pp. 7.4.1–7.4.4.

- [Voldman 1996] S. Voldman, R. Schulz, J. Howard, V. Gross, S. Wu, A. Yapsir, D. Sadana, H. Hovel, J. Walker, F. Assaderaghi, B. Chen, J. Y.-C. Sun, and G. Shahidi, "CMOS-on-SOI ESD protection networks," in *Electrical Overstress/Electrostatic Discharge Symposium, 1996. Proceedings, 1996*, pp. 291–301.
- [Yamada 2002] T. Yamada, K. Takahashi, H. Oyamatsu, H. Nagano, T. Sato, I. Mizushima, S. Nitta, T. Hojo, K. Kokubun, K. Yasumoto, Y. Matsubara, T. Yoshida, S. Yamada, Y. Tsunashima, Y. Saito, S. Nadahara, Y. Katsumata, M. Yoshimi, and H. Ishiuchi, "An embedded DRAM technology on SOI/bulk hybrid substrate formed with SEG process for high-end SOC application," in *2002 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.01CH37303), 2002*, pp. 112–113.
- [Yang 2006] K. j. Yang, R. N. Gupta, S. Banna, F. Nemati, H. -j. Cho, M. Ershov, M. Tarabbia, D. Hayes, S. T. Robins, and H. H. Memories, "Optimization of Nanoscale Thyristors on SOI for High-Performance High-Density Memories," in *2006 IEEE international SOI Conference Proceedings, 2006*, no. 408, pp. 113–114.
- [Yang 2008] Y. Yang, A. A. Salman, D. E. Ioannou, and S. G. Beebe, "Design and optimization of the SOI field effect diode (FED) for ESD protection," *Solid. State. Electron.*, vol. 52, no. 10, pp. 1482–1485, 2008.
- [Yang 2009] Y. Yang, A. Gangopadhyay, Q. Li, and D. E. Ioannou, "Scaling of the SOI field effect diode (FED) for memory application," in *Semiconductor Device Research Symposium, 2009. ISDRS '09. International, 2009*, pp. 1–2.

Chapitre 3

Un nouveau dispositif de protection : le Z²-FET

Dans ce chapitre, l'utilisation du Z²-FET pour « Zero subthreshold swing and Zero impact ionization FET » en tant que protection ESD est démontrée. Ce composant, fabriqué en technologie Silicium sur isolant (SOI), permet d'obtenir un passage de l'état ON à l'état OFF ultra abrupt, associé à une tension de déclenchement (V_{t1}) ajustable. Son principe de fonctionnement, reposant sur la modulation des barrières d'injection pour les électrons et les trous, est présenté. L'impact du procédé de fabrication ainsi que des paramètres de dessin est analysé au moyen de simulations TCAD et de caractérisations électriques. Il est montré qu'un courant de fuite extrêmement faible ainsi qu'un déclenchement adapté à des stratégies de protection ESD locales sont possibles en utilisant ce nouveau dispositif.

3.1. Fabrication du dispositif

3.1.1. Technologie 28 nm FDSOI

Pour le nœud 28 nm FDSOI, l'architecture UTBB (film de silicium et BOX ultra-minces) est employé pour la fabrication des transistors MOS. Le contrôle électrostatique par la grille est ainsi excellent, et nous disposons d'un fort couplage du potentiel du canal sur la tension de grille arrière. Par ailleurs, les sources et drains sont surélevés (grâce à une épitaxie) afin de diminuer les résistances d'accès aux transistors. Nous allons, dans cette partie, détailler l'intégration d'un dispositif innovant (le Z^2 -FET) dans cette plateforme technologique.

Récemment, le Z^2 -FET a été proposé pour des applications digitales en tant que mémoire 1T-DRAM (Mémoire RAM Dynamique à 1 Transistor) [Wan 2012a], [Wan 2014]. Des performances prometteuses en termes de mise en conduction ultra-abrupte ont été démontrées [Wan 2012b], [Wan 2013]. Ce dispositif, contrairement aux thyristors latéraux [Entringer 2006], [Mergens 2005] n'utilise pas le mécanisme d'avalanche dans son déclenchement, et ne requiert pas d'optimisation du dopage de la base des transistors bipolaires. Le Z^2 -FET est similaire à la FED « Field Effect Diode » (voir chapitre 2), qui utilise deux grilles en face avant au lieu d'une, ainsi qu'un film de silicium et un BOX plus épais du fait d'une réalisation en technologies PD-SOI. Sa topologie est donnée dans la Figure 3.1.

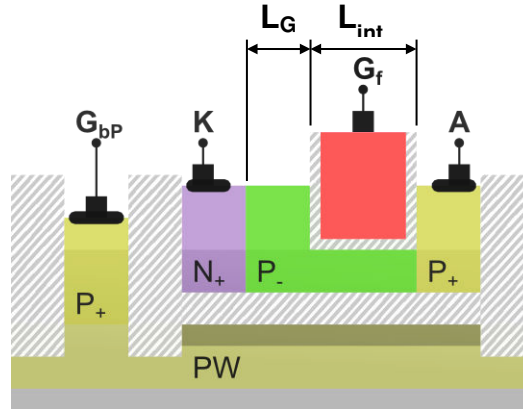


Figure 3.1 : Vue en coupe du Z²-FET (en technologie 28 nm FDSOI).

La structure du Z²-FET étudiée ici est une diode P-I-N à grille légèrement modifiée, avec un film de silicium ultra fin (7 nm en technologie 28 nm FDSOI [Fenouillet-Beranger 2011], [Planes 2012]), et non dopé (sauf mention contraire). La seule différence avec la diode traditionnelle est que la grille avant (G_f) ne couvre que partiellement la zone P. du canal. Ainsi, aucune modification n'est apportée au flot de fabrication CMOS FDSOI standard [Planes 2012]. La topologie de ce dispositif est présentée sur la Figure 3.2. L'anode de la diode reçoit une implantation P+ à forte concentration ; elle est reliée au plot d'entrée/sortie à protéger. La cathode reçoit une implantation du type opposée ; elle est reliée à la masse. L'espacement total entre ces deux zones composant le canal est la somme de deux longueurs : L_G et L_{int} . L_G est la longueur de grille et L_{int} (pour longueur intrinsèque) est la longueur de la zone non recouverte. La grille est composée d'un empilement de différentes couches :

- Dioxyde de silicium (SiO_2) pour assurer une bonne qualité d'interface avec le canal de silicium,
- Dioxyde d'Hafnium (HfO_2), matériau à forte permittivité diélectrique permettant d'augmenter la capacité grille-canal, ainsi que de réduire les fuites de grille.
- Métal « mid-gap » (dont le travail de sortie vaut environ celui du silicium intrinsèque : $\phi_G \approx 4,61$ eV [Gallon 2007]) ; le TiN est ici utilisé,
- Silicium poly-cristallin.

Dans ces travaux, une grille épaisse de type GO2 est choisie afin de maximiser la fiabilité à des tensions supérieures à 1 V. Sur toutes les parties à découvert (sans grille), le silicium est épitaxié sur une hauteur d'environ 15 nm, les anodes et cathodes sont épaissies (leur résistance série est ainsi diminuée [Fenouillet-Beranger 2009]), mais aussi la partie de longueur L_{int} . De ce fait, l'épaisseur de silicium de la zone P. n'est pas constante, comme illustré sur la Figure 3.2 (b).

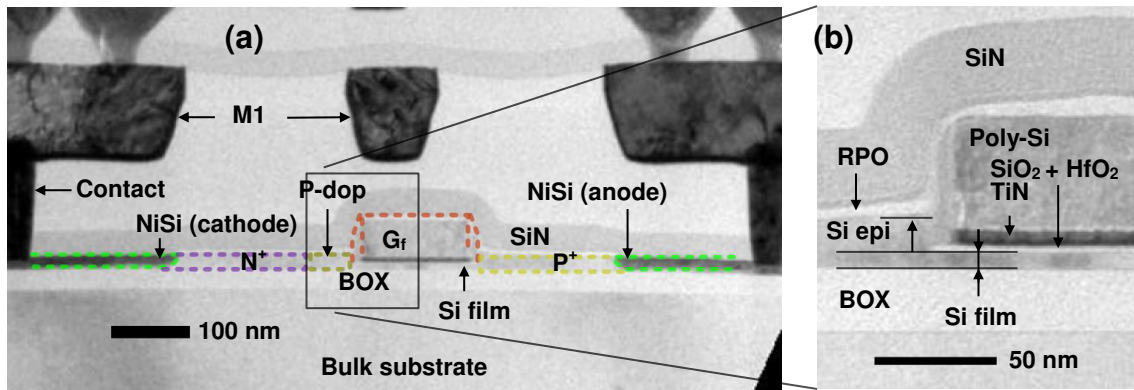


Figure 3.2 : Vues en coupe obtenues par microscopie électronique à balayage (TEM) du Z²-FET en technologie 28 nm FDSOI avec $L_G = 150\text{nm}$ et $L_{int} = 70\text{nm}$, avec une implantation P à côté de la grille (OPT-Z²-FET). (b) Détail sur le milieu de la structure et l'empilement de grille.

3.1.2. Technologie 14 nm FDSOI

Le Z²-FET peut être porté, comme nous allons le voir, pour le noeud 14 nm FDSOI. Le dessin des masques de la structure reste similaire, cependant, quelques différences technologiques sont présentes et la morphologie de la structure s'en trouve légèrement modifiée. Tout d'abord, comme montré sur la Figure 3.3, l'épaisseur de l'oxyde enterré est réduite de 25 nm à 20 nm. Cela est favorable au contrôle électrostatique des MOSFETs fabriqués sur la même plateforme technologique (voir partie 1.1.2.2). Ensuite, nous pouvons voir que contrairement à la technologie 28 nm, il n'y a pas d'épitaxie de silicium sur la zone non recouverte par la grille (L_{int}). Seules les anodes et cathodes (zones PEPI et NEPI) sont épitaxiées. Cette croissance de silicium utilise les mêmes masques que les implantations correspondantes (N+ et P+) ; le dopage est réalisé in-situ.

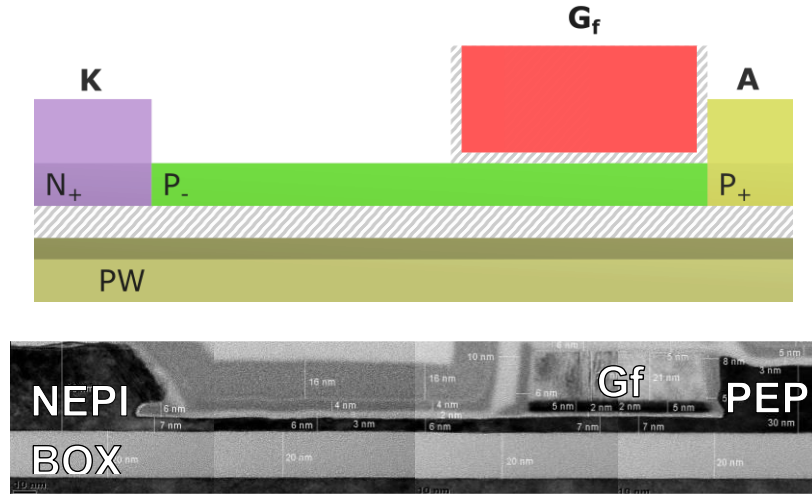


Figure 3.3 : Vues en coupe du Z²-FET en technologie 14 nm FDSOI, avec $L_G = L_{int} = 200$ nm, (a) schématique et (b) obtenue par assemblage de différentes sections TEM.

3.2. Principe de fonctionnement

3.2.1. Déclenchement de la structure

Le Z²-FET est un dispositif fonctionnant en polarisation directe : sa tension d'anode est positive. Pour bloquer la structure (Figure 3.2), une tension de grille avant (V_{Gf}) positive est appliquée, simultanément à une tension de grille arrière (V_{Gb}) négative. Dans ces conditions, une couche d'inversion est créée sous la grille, la région découverte (L_{int}) est quant à elle accumulée. Ainsi, une structure virtuelle N+/P/N/P+ composée de trois jonctions est formée. Il ne s'agit pourtant pas d'un thyristor latéral similaire à ceux décrits dans le chapitre 2 : la jonction P/N centrale n'est pas réalisée par implantation ionique (le canal reste non dopé, on parle d'un dopage « électrostatique ») et il n'y a pas réellement de transistor bipolaire entrant en jeu dans le déclenchement de ce dispositif. La région de type P (base du transistor NPN d'un thyristor « équivalent ») et la région de type N entre l'anode et la cathode sont le fruit d'un effet de champ à travers l'oxyde enterré et l'oxyde de grille, et non réalisées par dopage. Par ailleurs, il n'y a pas de mécanisme d'ionisation par impact initiant le déclenchement du Z²-FET [Wan 2012c].

Le Z²-FET présente une caractéristique électrique I_A - V_A en forme de « S », comme illustrée sur la Figure 3.4. Des simulations ont été effectuées à température constante ($T = 300$ K), grâce à la technique de la « droite de charge adaptative » [Goossens 1994], [Synopsys 2009]. Les modèles standards de dérive-diffusion ont été utilisés, les phénomènes d’auto-échauffement n’ont pas été activés. De ce fait, dans cette partie, nous nous intéressons principalement aux mécanismes de déclenchement, qui apparaissent à faible puissance dissipée.

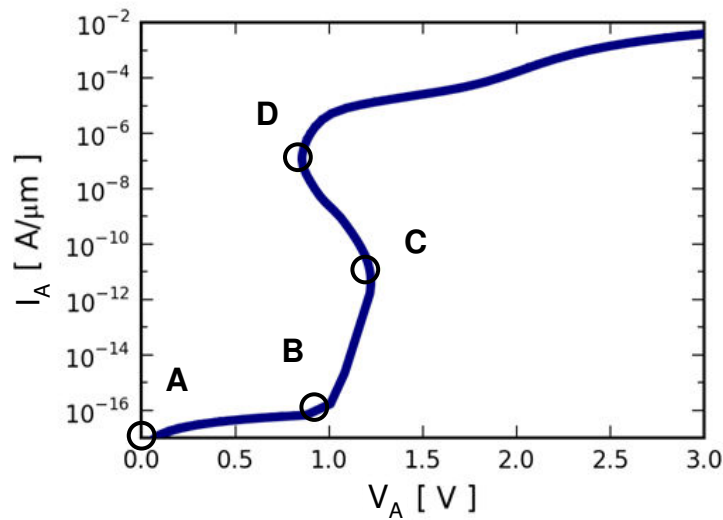


Figure 3.4 : Caractéristique DC I_A - V_A simulée du Z²-FET avec $V_{Gf} = +1,5$ V, $V_{Gb} = -2$ V, $L_G = L_{int} = 200$ nm, $t_{BOX} = 25$ nm.

Tout d’abord, les grilles arrière (G_b) et avant (G_f) sont respectivement polarisées en accumulation ($V_{Gb} < 0$ V) et en inversion ($V_{Gf} > 0$ V). De ce fait, deux barrières sont créées (point (A) sur les Figure 3.4 et Figure 3.5), du côté de la cathode, et du côté de l’anode. Ensuite, la tension d’anode (V_A) est augmentée, mais la présence de ces deux barrières empêche toute circulation de porteurs provenant de la cathode (électrons) ou de l’anode (trous). Le courant dans la structure reste, de ce fait, très faible (point (B) sur les Figure 3.4 et Figure 3.5). Lorsque la tension de déclenchement V_{tl} (dépendant, au premier ordre, de la tension de grille avant V_{Gf}) est approchée, les barrières commencent à s’affaiblir et une injection de trous prend place depuis l’anode, vers la cathode (point (C) sur les Figure 3.4 et Figure 3.5). Après ce point, les porteurs provenant de la cathode

participent à polariser en direct la jonction cathode/canal. Ceci augmente encore plus le courant atteignant la jonction anode/canal. Les deux barrières associées aux jonctions côté anode et cathode s'écroulent mutuellement (point (D) sur les Figure 3.4 et Figure 3.5). Une boucle de contre-réaction est ainsi formée, et de cet écroulement très rapide des barrières résulte une région à résistance différentielle négative, jusqu'à ce que le point de maintien (D) sur la Figure 3.4 soit atteint. Finalement, au-delà de ce point, le régime de forte injection est atteint (état ON), où le courant est limité par la résistance série, comme dans une diode P-I-N standard.

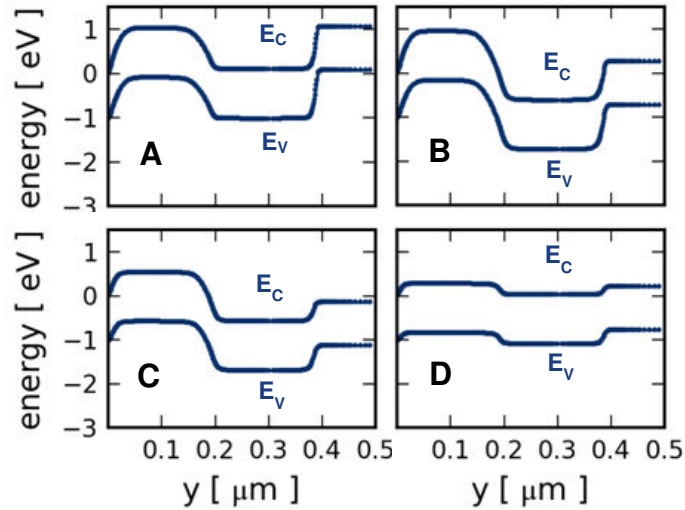


Figure 3.5 : Diagramme de bandes simulé, au milieu du canal ($x = 3.5$ nm), depuis la cathode ($y = 0$ μm), vers l'anode ($y = 0.4$ μm). $V_{Gf} = +1.5$ V, $V_{Gb} = -2$ V, $L_G = L_{int} = 200$ nm, $t_{BOX} = 25$ nm. Les figures A, B, C et D correspondent aux points sur la caractéristique I_A - V_A de la Figure 3.4.

3.2.2. Impact des polarisations de grille avant et arrière

Dans le but d'étudier la commutation du dispositif depuis son état bloqué (forte impédance) vers un état faiblement résistif capable de drainer une décharge ESD vers la masse (mode « diode »), des simulations pour différentes tensions de grille avant ont été réalisées. La tension de déclenchement V_{t1} peut être précisément contrôlée grâce à la

tension V_{Gf} . En réalité, le potentiel sous la grille détermine directement l'amplitude de la barrière de potentiel, et la tension d'anode (V_A) nécessaire pour déclencher la structure. La Figure 3.6 montre la variation de V_{t1} en fonction de V_{Gf} . Pour une tension de face arrière constante $V_{Gb} = -2$ V, il est observé que V_{Gf} permet d'accroître linéairement la tension de déclenchement. Lorsque V_{Gf} est inférieure à 0,5 V, la structure se comporte comme une diode polarisée en direct : l'inversion dans la zone couverte par la grille n'est pas suffisamment forte pour maintenir une barrière d'injection pour les trous (coté anode).

Ces simulations montrent qu'une tension minimum pour V_{Gf} est requise pour assurer une commutation de l'état OFF vers l'état ON au-dessus de la tension d'alimentation de la technologie ($V_{dd} = 1$ V). Cette valeur se situe autour de $V_{Gf} = 1,5$ V. Dans ces conditions de polarisation, la conduction dans le dispositif est correctement bloquée et le courant de fuite (pour $V_A = V_{dd} = 1$ V) est diminué de plus de 10 décades pour atteindre une valeur inférieure à $1\text{fF} / \mu\text{m}$ (Figure 3.6 (b)).

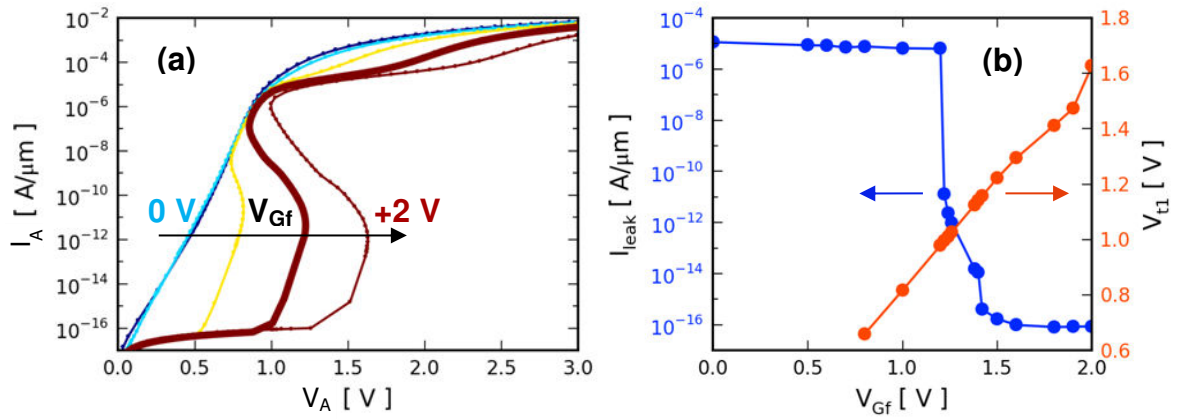


Figure 3.6 : (a) Caractéristique I_A - V_A simulée du Z2-FET, pour V_{Gf} allant de 0 à 2V et $V_{Gb} = -2$ V, $L_G = L_{\text{int}} = 200$ nm, $t_{\text{BOX}} = 25$ nm. (b) Evolution de la tension de déclenchement et du courant de fuite avec V_{Gf} .

Enfin, la tension de face arrière V_{Gb} est utilisée pour former la barrière d'injection des électrons, du côté de la cathode. Pour investiguer l'impact de V_{Gb} sur les caractéristiques électriques du Z2-FET, des simulations TCAD ont été effectuées. La tension V_{Gb} est appliquée sur le plan de masse (« Ground Plane » noté GP), zone fortement dopée

localisée sous l'oxyde enterré (BOX). L'influence de V_{Gb} sur le courant de fuite I_{leak} et sur V_{t1} est reportée sur la Figure 3.7. Comme nous l'avons vu, une tension V_{Gb} négative aide à accumuler des trous dans la zone découverte L_{int} . Un plan de masse de type P (GP-P) est ainsi favorable à l'accumulation de L_{int} , et sera choisi dans la suite de ces travaux. Pour une épaisseur d'oxyde enterrée constante ($t_{BOX} = 25$ nm), une diminution significative du courant de fuite est observée quand V_{Gb} est abaissée depuis 0 V vers -1,5 V : I_{leak} diminue de 6 décades. De plus, V_{t1} atteint un maximum quand une tension de $-0,6$ V est appliquée sur V_{Gb} . Au-dessus de cette valeur, la barrière d'injection des électrons est trop faible, et ne suffit pas à garantir une tension de déclenchement adéquate, la fuite augmente exponentiellement. Pour des tensions V_{Gb} plus négatives, il est possible d'observer une dégradation de V_{t1} . Cela s'explique par l'inter-couplage entre la grille arrière et la grille avant, dans la zone du canal sous la grille. En effet, le potentiel électrostatique de cette zone est dépendant des deux tensions V_{Gb} et V_{Gf} [Lim 1983]. En plus de cela, lorsque le film de silicium a une très faible épaisseur t_{si} (inférieure à 10 nm), la capacité $C_{si} = \epsilon_{si}/t_{si}$ est très forte, le potentiel ne varie que très peu sur la direction verticale et on parle alors de super-couplage [Eminente 2007]. La barrière empêchant l'injection des trous dépend directement de ce potentiel et, en conséquence, est fortement influencée par la tension V_{Gb} . De ce fait, V_{t1} décroît lorsque V_{Gb} diminue via le phénomène d'inter-couplage de la barrière coté anode selon les tensions V_{Gb} et V_{Gf} . Cependant, une tension V_{Gb} suffisamment négative est requise pour maintenir un blocage du Z²-FET par accumulation de la zone L_{int} . Une tension V_{t1} optimale est de la sorte obtenue pour $V_{Gb} = -0,5$ V.

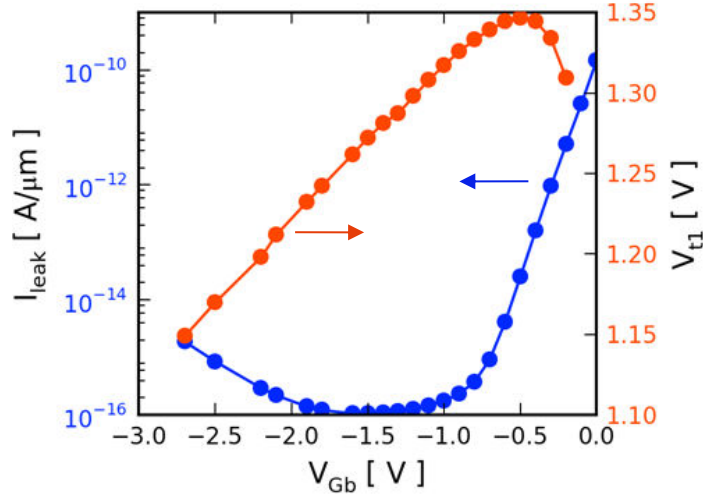


Figure 3.7 : Simulations TCAD de l'impact de la tension de grille arrière (V_{Gb}) sur la fuite en DC, à $V_{dd} = 1$ V, et la tension de déclenchement V_{t1} avec $V_{Gf} = 1,5$ V, $L_G = L_{int} = 200$ nm, $t_{BOX} = 25$ nm.

3.2.3. Caractéristiques statiques I-V mesurées

Une fois fabriqué en technologie 28 nm FDSOI, le Z²-FET a été caractérisé électriquement à température ambiante ($T = 300$ K). Comme nous pouvons le voir sur la Figure 3.8, il est possible d'augmenter la tension de déclenchement linéairement avec la tension de grille avant V_{Gf} . Cela est en accord avec les simulations préalablement effectuées et confirme que l'évolution du potentiel électrostatique gouverné par V_{Gf} permet de contrôler la barrière d'injection du côté de l'anode et ainsi de moduler V_{t1} . Par ailleurs, la mise en conduction de la structure s'effectue de manière très abrupte : pour $\Delta V_A = 100$ mV, le courant augmente de 9 décades. Ce déclenchement abrupt est observé pour $1 \text{ V} \leq V_A \leq 2 \text{ V}$. Nous pouvons aussi noter que le courant de fuite est très faible : pour $V_A = V_{dd} = 1$ V et $V_{Gf} \geq 1,25$ V, $I_{leak} \leq 10$ fA/μm. La région à résistance négative, observée en simulations (Figure 3.4) ne peut pas être mise en évidence dans des mesures où la tension est imposée comme c'est le cas ici.

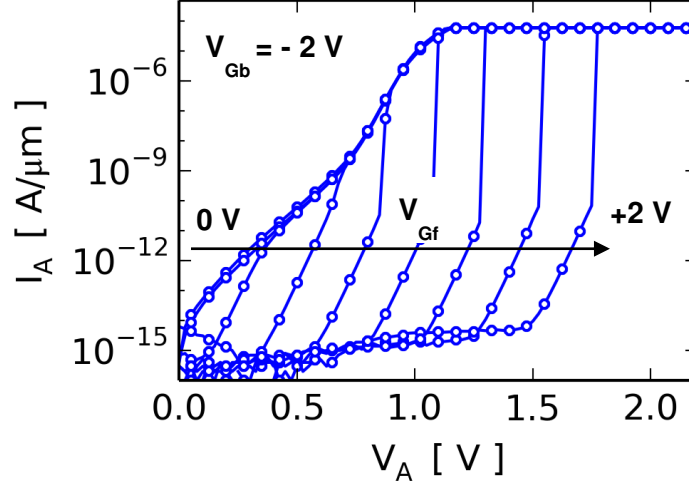


Figure 3.8 : Mesure de la caractéristique statique I_A - V_A du Z^2 -FET en technologie 28 nm FDSOI, pour $L_G = L_{int} = 200$ nm. I_A est limité à $50 \mu A/\mu m$ pour empêcher toute dégradation du dispositif.

Le Z^2 -FET a également été fabriqué en technologie 14 nm FDSOI. Ses caractéristiques expérimentales sont reportées sur la Figure 3.9. La structure est fonctionnelle et montre, comme précédemment, un accroissement de sa tension de déclenchement avec V_{Gf} . Cependant, pour cette géométrie, nous ne notons pas de déclenchement abrupt, signe que la contre-réaction entre les deux barrières (coté anode et coté cathode) est moins forte. La différence principale entre les deux technologies, outre l'épaisseur de la couche d'oxyde enterré, est la technique de réalisation des sources et drains épitaxiés (ici utilisés pour l'anode et la cathode). Alors qu'en 28 nm, tout le film de silicium non recouvert par une grille est épaissi, et ainsi la partie L_{int} du Z^2 -FET, en technologie 14 nm, la zone découverte ne profite pas de l'épitaxie (voir 3.1.2, Figure 3.3). Dans la zone L_{int} , t_{si} vaut environ 24 nm en technologie 28 nm FDSOI et passe à environ 6 nm en technologie 14 nm. Cet amincissement influe probablement sur les recombinaisons de porteurs circulant entre anode et cathode et ainsi sur la contre-réaction. En effet, plus t_{si} est faible, plus la contribution des recombinaisons liées au rapprochement des interfaces est élevée, dégradant la durée de vie effective des porteurs dans le dispositif et impactant la contre-réaction entre les jonctions anode-canal et cathode-canal, comme décrit dans la partie 3.4.3.

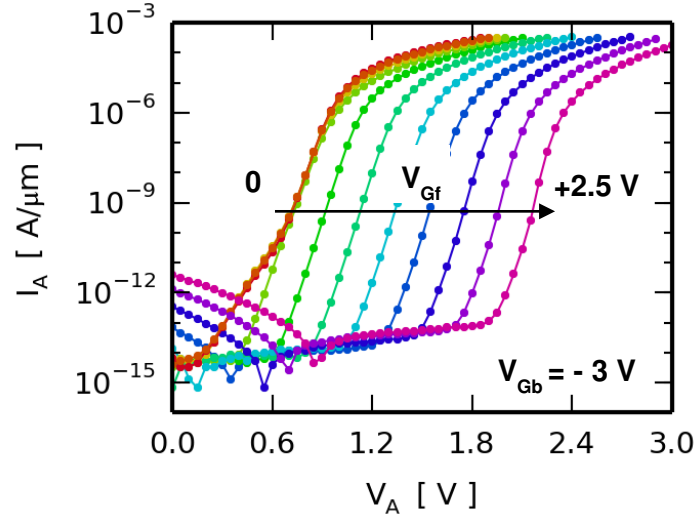


Figure 3.9 : Caractéristique I_A - V_A expérimentale du Z^2 -FET en technologie 14 nm FDSOI, pour $L_G = L_{int} = 200$ nm.

3.2.4. Modélisation

Comme observé précédemment, la tension de déclenchement V_{t1} varie linéairement avec la tension de grille avant V_{Gf} . Elle est aussi contrôlée par la grille arrière (G_b) à travers l'oxyde enterré. En réalité, le potentiel électrostatique du canal, sous la grille, est issu d'un diviseur capacitif entre les capacités C_{OX} et C_{BOX} , de ce fait, un modèle simple permet d'exprimer V_{t1} en fonction de V_{Gf} et V_{Gb} . La Figure 3.10 montre une vue en coupe de la zone à proximité de l'anode. Comme nous pouvons le voir, V_{CHf} (le potentiel de surface du canal à l'interface avant et V_{CHb} (le potentiel de surface à l'interface arrière) dépendent de trois capacités :

C_{OX} : la capacité par unité de surface équivalente de l'oxyde de grille avant,

C_{BOX} : la capacité par unité de surface de l'oxyde enterré,

C_{si} : la capacité du film de silicium, par unité de surface.

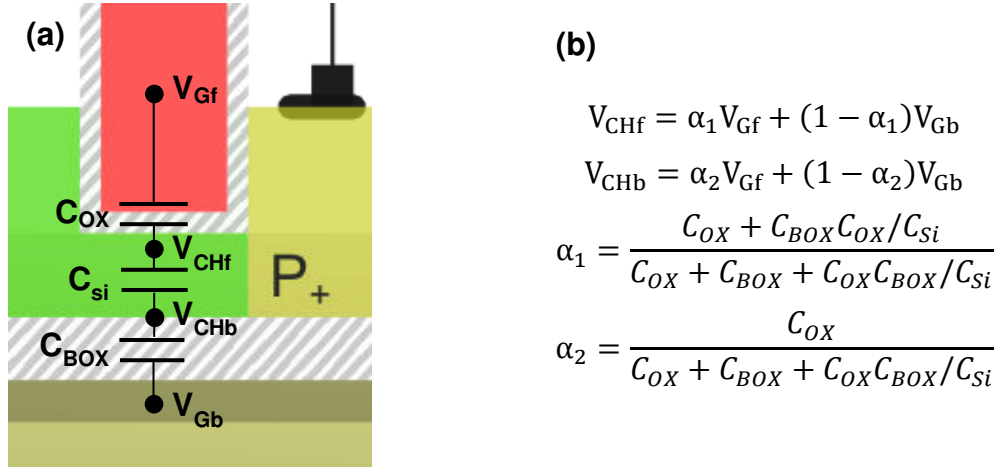


Figure 3.10 : (a) Vue de détail de la zone sous grille du Z²-FET avec le schéma équivalent des capacités mises en jeu. (b) Equations des potentiels du canal à l'interface avant (V_{CHf}) et arrière (V_{CHb}) utilisées pour le développement du modèle.

Dans le cas d'une technologie UTBB, le film de silicium est très fin ($t_{si} < 10$ nm) et sa capacité C_{si} est très élevée. Dans ce cas limite, nous pouvons considérer $C_{si} \gg C_{OX}$ et $C_{si} \gg C_{BOX}$ [McKitterick 1989]. De ce fait, les coefficients reliant les potentiels sont égaux :

$$\alpha = \alpha_1 = \alpha_2 = \frac{C_{OX}}{C_{OX} + C_{BOX}} = \frac{t_{BOX}}{t_{OX} + t_{BOX}}$$

Ainsi, le profil de potentiel sur la direction transverse (perpendiculaire aux interfaces oxyde-silicium) est approximé comme constant :

$$V_{CHf} = V_{CHb}$$

Finalement, la tension de déclenchement est la tension d'anode pour laquelle ce potentiel est atteint, augmenté d'une tension constante V_0 correspondant à la chute de tension aux bornes de la jonction anode-canal, nécessaire pour injecter suffisamment de courant dans la structure et déclencher la contre-réaction (écroulement des barrières) :

$$V_{t1} = V_0 + V_{Gf} \cdot \alpha + V_{Gb}(1 - \alpha)$$

Cette expression permet de prédire, en connaissant la géométrie de la structure, la tension de déclenchement du Z²-FET, pour tout couple de tensions V_{Gf} et V_{Gb} . Sur la

Figure 3.11, un bon accord entre le modèle proposé, les mesures et les simulations TCAD est obtenu. La pente du tracé $V_{t1}(V_{Gf})$ permet d'obtenir simplement le coefficient α . Trois limites existent cependant quant à la validité de ce modèle :

- L_G doit être suffisamment long (à t_{OX} et t_{BOX} constants) afin qu'aucun effet de canal court ne vienne perturber le potentiel sous la grille (abaissement de V_{CHf} et de V_{CHb} par l'influence du champ latéral contrôlé par la tension V_{AK}).
- L_{int} doit être suffisamment long (à t_{BOX} constant) afin que le contrôle de potentiel par V_{Gb} soit efficace (blocage de la structure grâce à la barrière de potentiel coté cathode).
- V_{Gb} doit permettre une accumulation suffisante de la zone L_{int} .

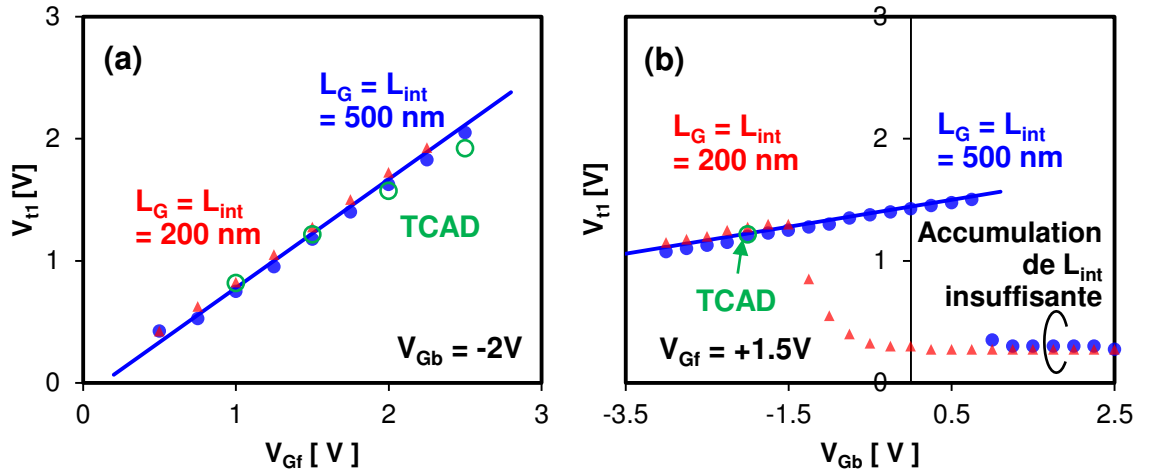


Figure 3.11 : Modélisation de la tension de déclenchement du Z²-FET en fonction des tensions de grilles avant (a) et arrière (b). Comparaison des données expérimentales (symboles pleins) et simulations TCAD (symboles vides) avec le modèle proposé (lignes).

La Figure 3.12 compare les données obtenues par simulation TCAD, ainsi que les points de mesures (pour $t_{BOX} = 25 \text{ nm}$ en 28 nm FDSOI), au modèle proposé. Nous pouvons voir que tant que t_{BOX} est suffisant pour garantir un blocage de la structure, une bonne prédiction de la variation de $V_{t1}(V_{Gf})$ est obtenue par la modélisation. Globalement, pour une tension V_{Gb} constante, plus le BOX est fin, plus le couplage capacitif entre V_{Gb} et les potentiels du canal coté anode (V_{CHf} et de V_{CHb}) est fort, ce qui

vient dégrader la barrière d'injection des trous. La tension V_{t1} est ainsi abaissée pour les faibles valeurs de t_{BOX} .

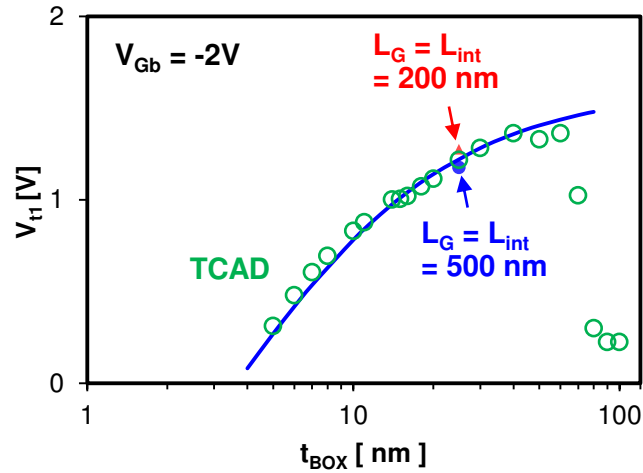


Figure 3.12 : Evolution de la tension de V_{t1} en fonction de l'épaisseur du BOX, pour un Z^2 -FET avec $t_{si} = 7$ nm. Comparaison du modèle (ligne), des simulations TCAD (symboles vides) et du point de mesure (symbole plein) obtenu en technologie 28 nm FDSOI.

3.3. Comparaisons avec d'autres types de diodes

3.3.1. Comparaison avec la « gated-diode »

Les caractéristiques I_A - V_A à fort courant mesurées (VFTLP) du Z^2 -FET et de la diode à grille « gated diode », avec $L_G = 200$ nm et $L_{int} = 0$ nm, sont tracées sur la Figure 3.13. Aucune dégradation du courant de défaillance I_{l2} n'est observée lorsque la diode standard est complétée par une longueur « à découvert » L_{int} (ici 200 nm) afin de former un Z^2 -FET. Une augmentation mineure de la résistance dynamique à l'état passant est mesurée alors que la longueur depuis l'anode vers la cathode est doublée : $R_{ON} = 446 \Omega \cdot \mu\text{m}$ pour la gated diode et $R_{ON} = 499 \Omega \cdot \mu\text{m}$ pour le Z^2 -FET. Cela indique que la zone du film de silicium « à découvert » dispose d'une résistivité très faible devant

le film sous la grille, probablement parce qu'elle bénéficie d'une épitaxie de silicium qui triple son épaisseur (voir partie 3.1.1). Le Z²-FET constitue ainsi une protection aussi efficace que la diode à grille pour évacuer une décharge ESD d'une durée comprise entre 3 et 100 ns. Par ailleurs, nous avons vu que le Z²-FET peut être bloqué à l'aide d'une tension de grille avant positive, et dispose alors d'une fuite extrêmement faible jusqu'à V_{dd} . D'un point de vue applicatif, cela suggère que le Z²-FET peut être utilisé en tant que protection ESD locale, contrairement à la gated diode.

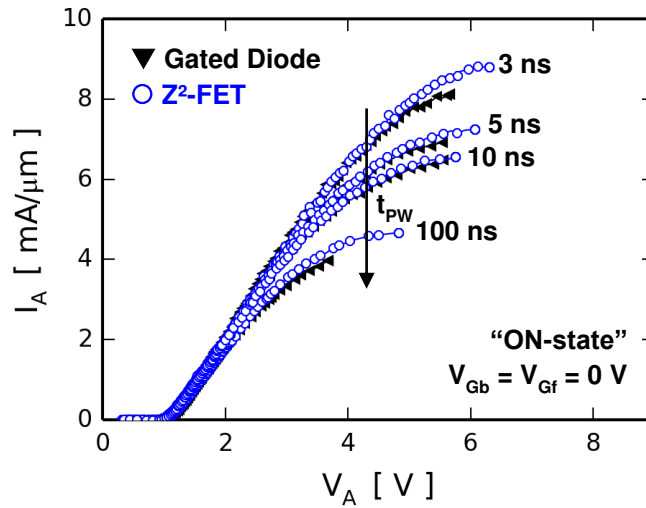


Figure 3.13 : Caractéristiques expérimentales quasi-statiques (VFTLP) I_A - V_A du Z²-FET avec $L_G = L_{int} = 200$ nm et GP-P, comparées à celles de la diode à grille latérale « gated diode » avec $L_G = 200$ nm, fabriqué dans la même technologie (28 nm FDSOI).

3.3.2. Comparaison avec la « FED »

Sur la Figure 3.14, le Z²-FET est comparé à la diode à effet de champ fabriquée dans la même technologie UTBB, ainsi qu'à la FED (décrite dans la partie 2.3.2) en technologie PDSOI. Nous pouvons remarquer que comparativement à [Salman 2006a], les dispositifs réalisés en technologie 28 nm FDSOI montrent un courant de fuite très faible. Cela s'explique par la diminution de l'épaisseur des jonctions permise par le film de silicium ultra-fin ($t_{si} < 10$ nm). Ensuite, pour la même technologie, le Z²-FET dispose d'un déclenchement beaucoup plus abrupt que la FED, probablement causé par

l'augmentation de la durée de vie effective des porteurs lorsque la partie L_{int} est épitaxiée (l'impact des recombinaisons de surface diminue puisque t_{si} est localement plus élevé, voir partie 3.4.3). En régime fort-courant, la comparaison est effectuée grâce à des mesures TLP (Figure 3.14 (b)). Nous pouvons observer qu'à longueur de grille équivalente, le Z^2 -FET aboutit à une meilleure performance fort courant I_{t2} ($I_{t2} = 4,7 \text{ mA}/\mu\text{m}$), ainsi qu'une résistance dynamique à l'état passant plus faible que la FED puisque la partie L_{int} est épaissie.

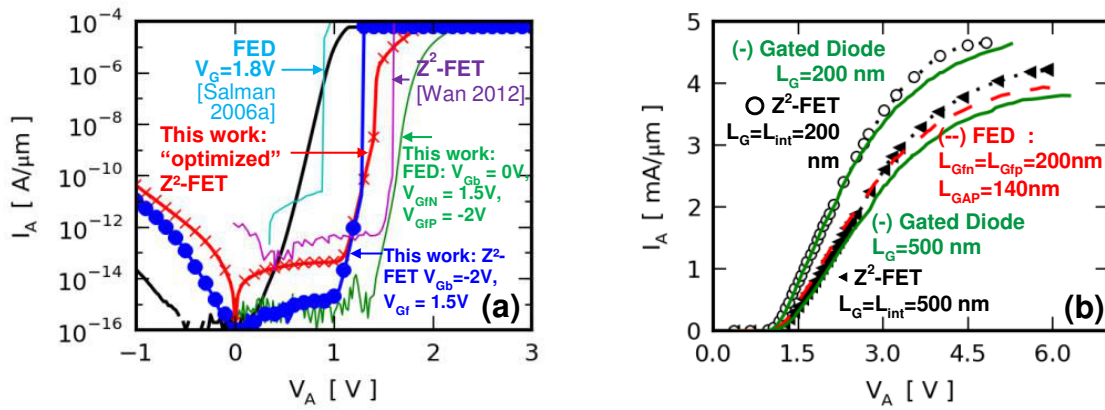


Figure 3.14 : Comparaison (a) de la caractéristique de sortie DC « faible courant » du Z^2 -FET et de la FED en technologie 28 nm FDSOI avec d'autres travaux (b) des caractéristiques TLP fort-courant du Z^2 -FET, de la gated diode et de la FED en technologie 28 nm FDSOI.

3.4. Optimisation de l'architecture du dispositif : simulation et mesure

3.4.1. Impact des épaisseurs de silicium et d'oxyde enterré

L'impact de l'épaisseur de l'oxyde enterré (BOX) sur les caractéristiques du Z^2 -FET est étudié dans cette section. L'épaisseur du BOX (t_{BOX}) est un paramètre fondamental d'une technologie SOI. La réduction de t_{BOX} , notamment utilisée pour atténuer le DIBL [Ernst 2007], présente l'avantage de réduire l'auto-échauffement des dispositifs SOI

[Takahashi 2013], et peut de plus améliorer la robustesse des structures ESD [Benoist 2010]. Sur la Figure 3.15, nous pouvons observer l'influence de t_{BOX} sur le potentiel électrostatique dans le canal du Z²-FET. L'effet le plus important ici est l'évolution de la barrière de potentiel des électrons V_N (coté cathode) : réduire l'épaisseur t_{BOX} permet un contrôle plus fort de la zone L_{int} qui doit être accumulée. Plus le BOX est fin, et plus la barrière L_N est forte, cela laisse percevoir qu'en utilisant une technologie avec un BOX ultra-fin, le comportement du Z²-FET devrait être largement amélioré.

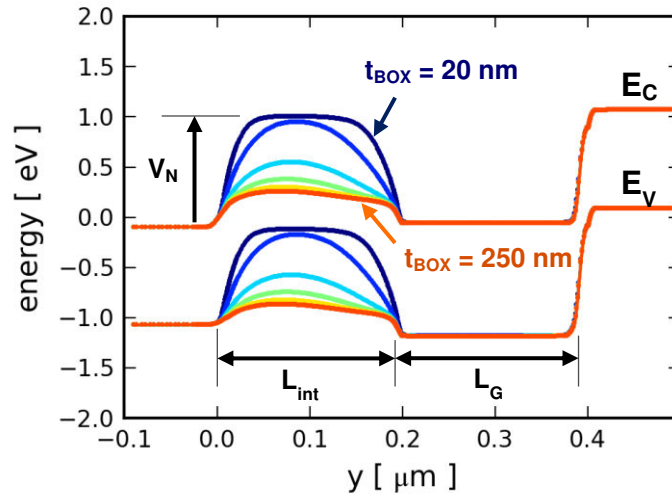


Figure 3.15 : Diagramme de bandes du Z²-FET obtenu par simulations TCAD, pour différentes épaisseurs de BOX, avec $V_{\text{Gf}} = 1.5$ V, $V_{\text{Gb}} = -2$ V, $L_{\text{G}} = L_{\text{int}} = 200$ nm, $t_{\text{si}} = 7$ nm.

La Figure 3.16 montre comment la caractéristique I_A - V_A est impactée par l'épaisseur t_{BOX} , lorsque le Z²-FET est bloqué (pour $V_A = 1$ V et $V_{\text{Gb}} = -2$ V). Une réduction remarquable du courant de fuite à l'état OFF est obtenue lorsque l'épaisseur du BOX est réduite de 300 nm à 25 nm (I_{leak} est alors inférieur à 10^{-15} A/µm). Cela confirme qu'un BOX fin est bénéfique pour assurer un comportement optimal du Z²-FET du fait du renforcement de la barrière V_N .

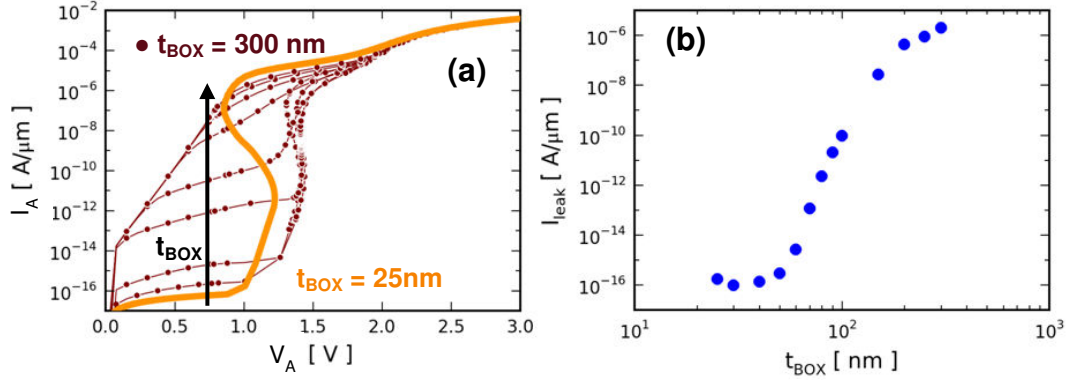


Figure 3.16 : (a) Simulations de la caractéristique DC I_A - V_A avec t_{BOX} variant de 300 nm à 25 nm. (b) I_{leak} en fonction de t_{BOX} , avec $V_{Gf} = +1,5$ V, $V_{Gb} = -2$ V, $L_G = L_{int} = 200$ nm, $t_{Si} = 7$ nm.

L'épaisseur de silicium sous la grille change également le comportement électrique du Z²-FET. Lorsque le film de silicium n'est pas suffisamment fin ($t_{Si} > 25$ nm), pour $V_{Gb} = -2$ V et $V_{Gf} = +1,5$ V, le manque de contrôle électrostatique des grilles avant et arrière empêche la formation des barrières d'injection. Dans cette configuration, l'état OFF (ou bloqué) ne peut pas être obtenu en dessous de V_{dd} , et un courant de fuite important circule dans la structure, comme montré sur la Figure 3.17. Quand l'épaisseur du film SOI est réduite, les barrières sont formées, et les porteurs sont bloqués dans l'anode et la cathode. En complément, lorsque t_{Si} est inférieure à 12 nm, V_{t1} est augmenté et peut dépasser la tension d'alimentation (ici $V_{dd} = 1$ V). Pour effectuer cette simulation avec des films fins, le modèle de correction des effets quantiques (« QME density gradient » [Synopsys 2009]) a été utilisé. Cela valide que le bon fonctionnement du Z²-FET n'est pas affecté par les effets de quantification pour les épaisseurs supérieures à 8 nm. Une diminution quasi linéaire de la tension de déclenchement est aussi constatée : $\Delta V_{t1} / \Delta t_{Si} \approx -75$ mV / nm (pour $V_{Gf} = 1,5$ V). En fait, lorsque t_{Si} est affiné, la tension de grille avant (V_{Gf}) est plus influente sur toute la profondeur du canal, ceci explique le gain obtenu sur la tension de déclenchement V_{t1} . Cependant, pour des épaisseurs trop fines, la tension de face arrière V_{Gb} peut entrer en compétition avec V_{Gf} (pour de fortes valeurs de $|V_{Gb}|$, ou un BOX trop fin) dans le contrôle de la zone sous la grille. Cela pourrait éventuellement résulter en une diminution de la barrière contrôlée par V_{Gf} . Au final, nous

pouvons conclure qu'avec un BOX mince, une technologie proposant un film SOI fin est avantageuse pour l'utilisation du Z²-FET.

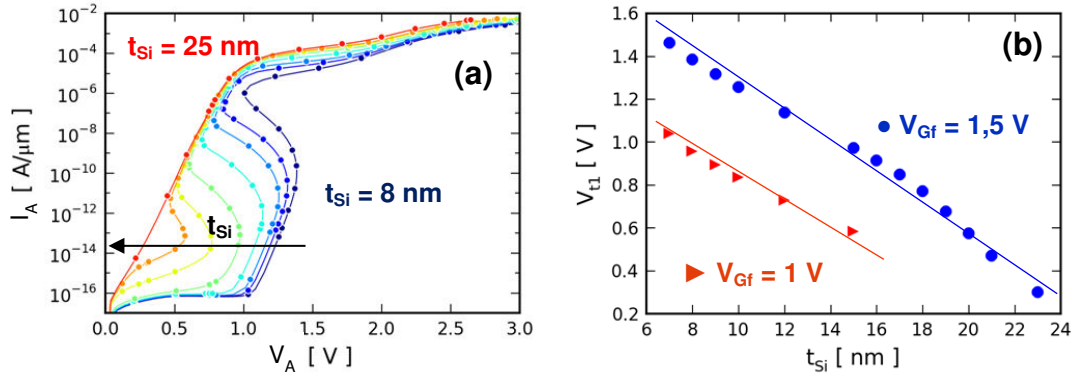


Figure 3.17 : (a) Caractéristiques I_A - V_A simulées pour différentes épaisseurs de silicium, avec $V_{\text{Gf}} = 1,5 \text{ V}$. (b) Simulations de la variation de la tension de déclenchement avec t_{Si} . $V_{\text{Gb}} = -2 \text{ V}$, $t_{\text{BOX}} = 25 \text{ nm}$.

3.4.2. Impact des longueurs L_G et L_{int}

La réduction de la longueur de la structure est importante pour plusieurs raisons : la diminution de l'encombrement surfacique sur silicium ainsi qu'une possible augmentation de la conductance à l'état passant du dispositif. Les variations de la tension de déclenchement ainsi que du courant de fuite avec la longueur L_{int} sont tracées sur la Figure 3.18 pour $V_{\text{Gb}} = -2 \text{ V}$ et $t_{\text{BOX}} = 25 \text{ nm}$. Le courant de fuite augmente brusquement lorsque la longueur de la zone non recouverte est inférieure à $L_{\text{int}} < 120 \text{ nm}$. Pour ces faibles longueurs de L_{int} , la tension de déclenchement V_{tl} est diminuée en dessous de V_{dd} , cela cause une augmentation significative du courant de fuite I_{leak} . En dessous de $L_{\text{int}} < 100 \text{ nm}$, le retournement (« snapback ») est totalement supprimé puisque la zone L_{int} n'est plus suffisamment contrôlée par la grille arrière, et la barrière d'injection des électrons coté cathode s'écroule. Lorsque la longueur L_{int} varie de 500 nm à 200 nm , dans les conditions de polarisation ($V_{\text{Gb}} = -2 \text{ V}$) et d'épaisseur de BOX ($t_{\text{BOX}} = 25 \text{ nm}$) étudiées, le courant de fuite reste dans une gamme acceptable. Cela indique qu'il est possible de diminuer L_{int} jusqu'à 200 nm , sans compromettre I_{leak} . Enfin, des longueurs de

L_{int} encore plus courtes sont envisageables, si une augmentation de la valeur absolue de la tension de grille arrière, ou une diminution de l'épaisseur de BOX peut être tolérée. Une troisième alternative reposant sur le dopage de la zone L_{int} est présentée dans la partie 3.4.4.

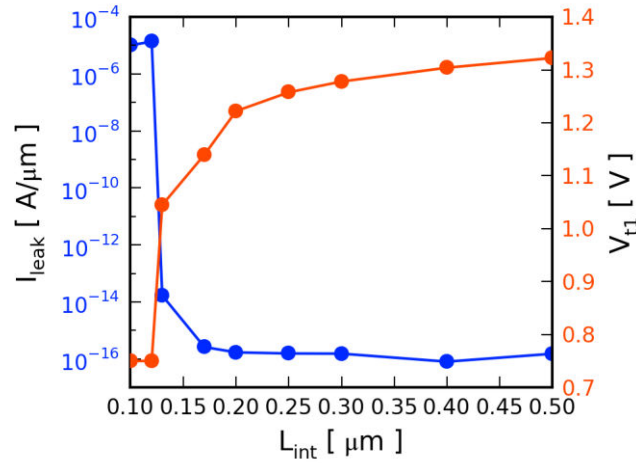


Figure 3.18 : Evolution du courant de fuite (pour $V_{dd} = 1$ V, axe de gauche) et de la tension de déclenchement (axe de droite) avec la longueur L_{int} , pour $V_{Gf} = +1.5$ V, $V_{Gb} = -2$ V, $L_G = 200$ nm, $t_{Si} = 7$ nm.

3.4.3. Impact de la durée de vie des porteurs

Le mécanisme de contre-réaction entre les deux barrières d'injection est grandement affecté par la durée de vie des porteurs dans le canal. Pour évaluer cet aspect, la structure a été simulée avec le modèle de Scharfetter (dépendance de la durée de vie avec le dopage [Synopsys 2009]). Pour des raisons de simplicité, nous avons seulement considéré les recombinaisons Shockley-Read-Hall (SRH) et des durées de vie égales pour les électrons et les trous. La durée de vie maximale ($\tau_{MAX} = \tau_n MAX = \tau_p MAX$) a été modulée de $\tau_{MAX} = 1$ ps à $\tau_{MAX} = 10$ ns, sur la Figure 3.19. D'un côté, une durée de vie faible, pouvant être causée par une forte concentration d'impuretés et de défauts, entraîne une augmentation du courant de recombinaison, ce qui augmente le courant de fuite de la structure (I_{leak} augmente de 3 décades). D'un autre côté, une durée de vie élevée (fort τ_{MAX}) augmente le nombre de trous pouvant atteindre la cathode (moins de

recombinaisons dans le volume de silicium), ce qui augmente le courant à l'état passant de la structure. Une longue durée de vie est aussi favorable à la contre-réaction entre les deux barrières. Ceci est constaté électriquement par l'accentuation du retournement (augmentation de la différence $V_H - V_{t1}$) pour les grands τ_{MAX} . La diminution de la tension de maintien V_H ainsi notée est bénéfique pour une mise en conduction abrupte mais peut aussi être nuisible si V_H est trop faible et passe sous V_{dd} . Dans ce dernier cas de figure, le dispositif ne respecterait pas la fenêtre de conception et pourrait être responsable d'un phénomène d'auto maintien appelé « latch-up », pouvant causer une consommation excessive du circuit intégré. Enfin, les interfaces tendent à réduire la durée de vie effective, en particulier dans les films de silicium ultra-fins. La durée de vie effective prenant en compte les recombinaisons en surface et en volume s'écrit [Schroder 2006] :

$$\tau_{eff} = \left(\frac{1}{\tau_{bulk}} + \frac{1}{\tau_s} \right)^{-1}$$

avec τ_{bulk} la durée de vie des porteurs due aux recombinaisons en volume, et τ_s celle due aux recombinaisons en surface. Selon la valeur de la vitesse de recombinaison en surface s_r , τ_s s'écrit :

$$\tau_s(s_r \rightarrow 0) = \frac{t_{si}}{2s_r} \quad ; \quad \tau_s(s_r \rightarrow \infty) = \frac{t_{si}^2}{\pi^2 D}$$

avec t_{si} l'épaisseur du film de silicium et D la constante de diffusion des porteurs minoritaires.

Ainsi, la contribution des recombinaisons en surface peut être négligée lorsque les recombinaisons dans le volume sont élevées (durée de vie « bulk » courte : $\tau_{MAX} < 1$ ns) mais doivent être prises en compte pour des durées de vie τ_{MAX} raisonnables ($\tau_{MAX} \geq 10$ ns), cette limite dépendant de l'épaisseur de silicium t_{si} . Ceci est constaté lorsque les recombinaisons de surface sont activées (avec des vitesses de recombinaison $s_n = s_p = 103$ cm/s) sur la Figure 3.19.

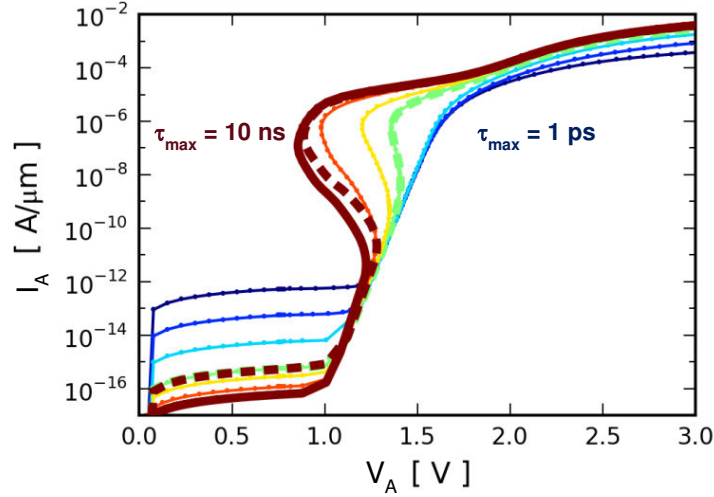


Figure 3.19 : Simulations de l'influence de la durée de vie des porteurs sur la caractéristique I_A - V_A du Z²-FET avec : $V_{Gf} = +1,5$ V, $V_{Gb} = -2$ V, $L_G = L_{int} = 200$ nm, $t_{Si} = 7$ nm. Les simulations en traits pleins incluent les recombinaisons dans le volume seulement, les traits en pointillés incluent les recombinaisons aux interfaces et dans le volume.

3.4.4. Optimisation du dopage dans la zone L_{int}

Un des éléments pouvant limiter l'adoption du Z²-FET en tant que protection ESD est sa complexité d'utilisation de par la nécessité de plusieurs tensions de polarisation (V_{Gb} , V_{Gf}) pour son fonctionnement en mode bloqué. En effet, lors du fonctionnement normal du circuit, la protection doit être transparente ce qui implique notamment que le courant de fuite doit être faible. Cependant, nous avons vu qu'avec les technologies 28 nm ou 14 nm FDSOI, il est impossible d'obtenir un Z²-FET court, sans polarisation V_{Gb} suffisamment négative afin d'accumuler la zone découverte L_{int} et donc de garantir une barrière d'injection forte coté cathode. Une solution possible est de doper la zone L_{int} par des accepteurs afin de créer par implantation une jonction disposant d'une barrière interne élevée, empêchant la diffusion d'électrons depuis la cathode. Les résultats obtenus avec cette structure s'avèrent positifs et sont représentés sur la Figure 3.20. Nous dénommerons par la suite ce dispositif : Z²-FET Optimisé (OPT-Z²-FET).

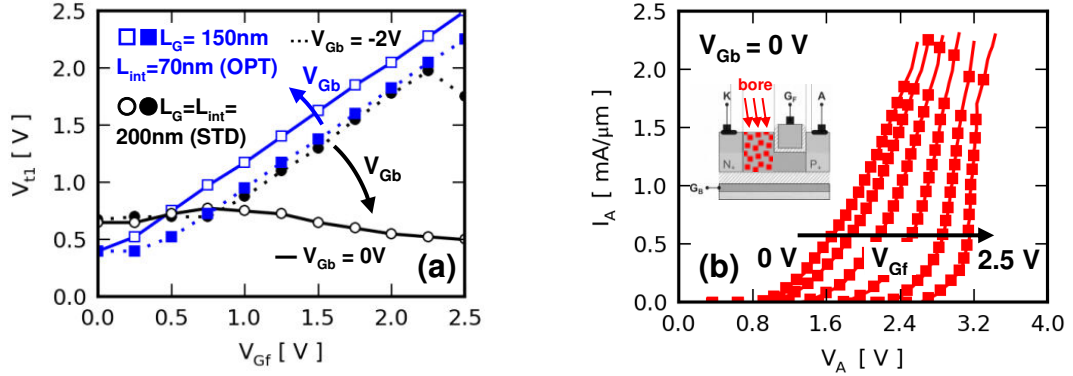


Figure 3.20 : (a) Mesure de V_{t1} en fonction de V_{Gf} , pour le Z²-FET optimisé avec une implantation de Bore (à forte dose) auto alignée permettant de doper la zone L_{int} , comparé au Z²-FET standard (non dopé, avec $L_G = L_{int} = 200\text{ nm}$), pour $V_{Gb} = -2\text{ V}$ (symboles pleins) et $V_{Gb} = 0\text{ V}$ (symboles pleins). (b) Résultats expérimentaux (TLP 100 ns) obtenus pour le Z²-FET optimisé, avec $L_G = 150\text{ nm}$ et $L_{int} = 70\text{ nm}$.

Nous pouvons observer que pour le Z²-FET optimisé, contrairement à la structure classique, la tension de déclenchement est bien contrôlée linéairement par V_{Gf} , quel que soit V_{Gb} . Ainsi, il n'est plus nécessaire d'utiliser une tension de grille arrière négative, la barrière d'injection coté cathode est toujours présente, du fait de l'implantation de L_{int} . De plus, comme nous l'avons vu dans les parties 3.2.2 et 3.2.4, la barrière de potentiel, coté anode, est couplée à V_{Gf} , mais aussi à V_{Gb} . L'utilisation d'un V_{Gb} négatif peut de ce fait entrer en compétition avec V_{Gf} (positif) et dégrader V_{t1} . Nous pouvons ici noter que pour un V_{Gf} constant, l'augmentation de V_{Gb} de -2 V vers 0 V renforce la tension de déclenchement de $\Delta V_{t1} \approx 200\text{ mV}$. Cela permet, pour un V_{Gf} fixe, d'augmenter la marge de sécurité sur le déclenchement de la structure (qui doit être OFF en fonctionnement normal), ou alors de diminuer la tension de grille avant nécessaire à l'obtention d'un V_{t1} déterminé.

Sur la Figure 3.21, l'influence de l'évolution de la concentration en accepteurs de la région L_{int} sur V_{t1} est reportée, pour différentes tensions de grille arrière V_{Gb} . Nous notons que pour les faibles concentrations, la variation de V_{t1} avec V_{Gb} n'est pas monotone. V_{t1} est d'abord augmentée, pour atteindre un maximum de $1,45\text{ V}$ pour $V_{Gb} \approx -1\text{ V}$. Cela est causé par le couplage entre la barrière du côté de l'anode et V_{Gb} . Puis V_{t1} diminue, en raison de la suppression de la couche d'accumulation de L_{int} . La structure est débloquée par diffusion d'électrons depuis la cathode. En revanche, pour des concentrations plus

élevées, l'amplitude des variations de V_{t1} avec V_{Gb} diminue et devient éventuellement monotone pour des N_A très grands. En effet, plus N_A augmente, moins le couplage de V_{Gb} sur la barrière du côté de la cathode est efficace : V_{Gb} n'agit plus que sur l'autre barrière (côté anode), empêchant l'injection des trous.

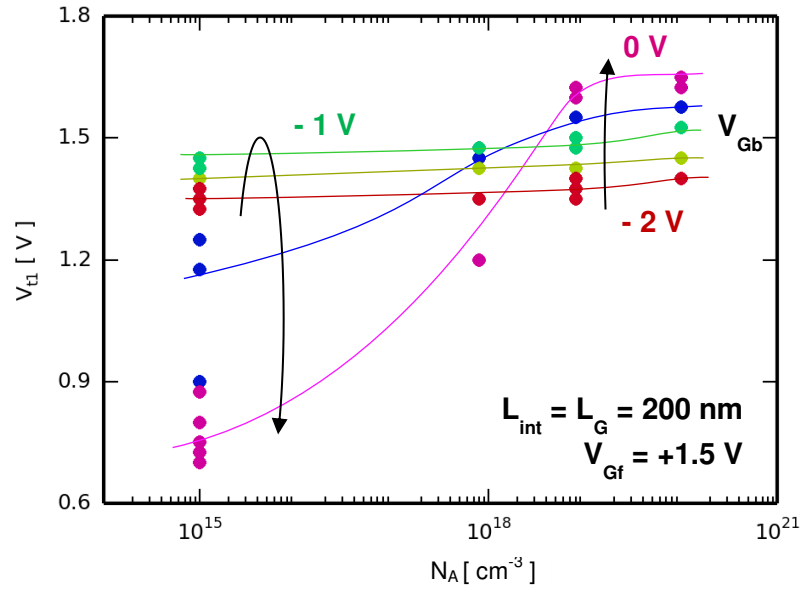


Figure 3.21 : Mesure de la tension de déclenchement du Z2-FET optimisé en fonction de la concentration en accepteurs de la zone L_{int} et de la tension de grille arrière V_{Gb} .

L'influence de N_A sur le courant de fuite est représentée sur la Figure 3.22. Nous pouvons observer que plus N_A augmente, moins I_{leak} semble impacté par V_{Gb} . Ceci constitue une autre preuve que la barrière du côté de la cathode, contrôlant la diffusion d'électrons dans le canal, est renforcée par une forte concentration de trous dans la zone L_{int} . Lorsque N_A est élevé, le couplage capacitif entre cette région et V_{Gb} est diminué, mais la barrière interne de la jonction cathode-canal est consolidée par le dopage. En conclusion, le besoin d'une tension négative sur V_{Gb} peut être supprimé en optimisant la concentration de la zone découverte (L_{int}). Cela permet une simplification du point de vue applicatif. Une fuite faible peut être atteinte ($I_{leak} < 5 \cdot 10^{-13}$ A/ μ m) ainsi qu'une tension de déclenchement élevée ($V_{t1} = 1,65$ V) pour $V_{Gb} = 0$ V et $V_{Gf} = 1,5$ V. D'autre part, il

devient possible lorsque N_A est suffisamment grand, d'utiliser une tension positive (par exemple $V_{Gb} = V_{Gf} = V_{dd}$), ceci sera montré dans la partie 3.4.5.

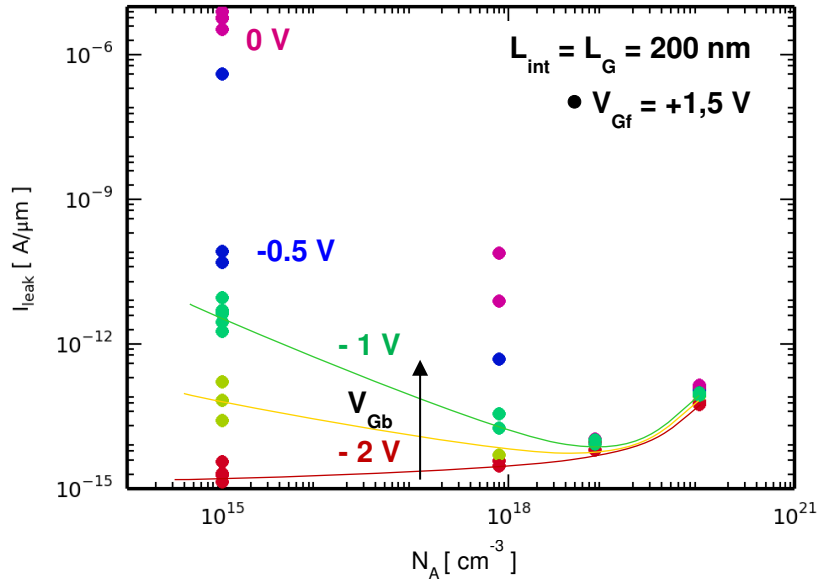


Figure 3.22 : Mesure du courant de fuite du Z²-FET optimisé en fonction de la concentration en accepteurs de la zone L_{int} et de la tension de grille arrière V_{Gb} .

3.4.5. Comportement en température du Z²-FET optimisé

Les circuits de protection doivent généralement s'adapter à une large gamme d'applications. Il est ainsi nécessaire de maîtriser et de connaître les variations du comportement de ces structures avec la température. Afin d'étudier l'impact de la température T sur le déclenchement et la fuite du Z²-FET, les caractéristiques expérimentales du dispositif sont reportées sur la Figure 3.23. Nous nous intéressons ici au Z²-FET optimisé avec une implantation de Bore à forte dose dans la partie L_{int} . Nous pouvons constater en premier lieu que lorsque le Z²-FET n'est pas déclenché (avant qu'une diffusion de porteurs entre anode et cathode ne prenne place), son courant de fuite à l'état OFF (ici mesuré pour $V_A = V_{dd} = 1$ V) est largement augmenté lorsque la température croît. Nous notons une augmentation de 3 décades de I_{leak} quand T passe

de -40°C à $+125^{\circ}\text{C}$ pour $V_{\text{Gf}} = 1 \text{ V}$. Ceci est attribué à l'augmentation des courants de saturation des jonctions canal/anode et canal/cathode avec T . Lorsque V_{Gf} est plus élevé ($V_{\text{Gf}} = +2 \text{ V}$), la fuite est initialement plus grande, et n'augmente que de 2 décades pour la même variation de T indiquant que pour ce dispositif (le $\text{Z}^2\text{-FET}$ optimisé avec la partie découverte « L_{int} » dopée), une augmentation du champ électrique transverse contrôlé par la grille avant favorise le courant de fuite. Cela est remarquable sur le tracé Figure 3.23 (b) où une augmentation de I_{leak} est constatée pour $V_{\text{Gf}} > 1 \text{ V}$. Ce phénomène est probablement causé par une contribution du courant par effet tunnel provenant de la jonction entre la zone L_{int} et la zone L_{G} , renforcé par le profil de potentiel plus abrupt de la jonction lorsque L_{int} est dopé. En effet, plus le champ sera fort (V_{Gf} ou V_{A} élevé) et la jonction étroite (dopage de L_{int}), plus la probabilité pour un électron de la bande de valence de la zone L_{int} sera grande de passer vers la bande de conduction dans la zone sous la grille (L_{G}), et ainsi de participer à I_{leak} . Ce mécanisme est similaire à celui des Transistors FET à effet tunnel (TFET : [Wang 2004], [Choi 2007]) et à la fuite de drain induite par la grille dans un transistor MOSFET (GIDL : [Chen 1987], [Wan 2011], [Wan 2012d]). Nous pouvons constater qu'en atténuant le champ transverse ($V_{\text{Gf}} = 1 \text{ V}$), la fuite est abaissée puisque l'effet tunnel est moins important. Cependant, diminuer la tension de grille avant nuit à la barrière d'injection des trous et augmente le courant de diffusion de l'anode vers la cathode : pour V_{Gf} passant de 1 V à 0 V , une augmentation radicale d' I_{leak} est notée (supérieure à 6 décades), quelle que soit la température. Une méthode efficace permettant de limiter le champ transverse (effet tunnel) tout en renforçant la barrière de diffusion coté anode est d'utiliser une tension V_{Gb} positive, puisque la région L_{int} est fortement dopée. Ceci est illustré sur la Figure 3.23 où nous pouvons voir que pour des températures de -40°C à $+125^{\circ}\text{C}$, I_{leak} est diminué d'une décade pour $0,5 \text{ V} > V_{\text{Gf}} > 1 \text{ V}$ (zone où la fuite est dominée par la diffusion) quand V_{Gb} passe de 0 V à $+1 \text{ V}$. Finalement, nous remarquons que plus T est élevée, plus la tension de déclenchement V_{tl} est abaissée. En effet, plus la température augmente, plus le courant de fuite initie rapidement la contre-réaction entre les deux barrières (déclenchement): entre -40°C à $+125^{\circ}\text{C}$, $\Delta V_{\text{tl}} \approx -200 \text{ mV}$.

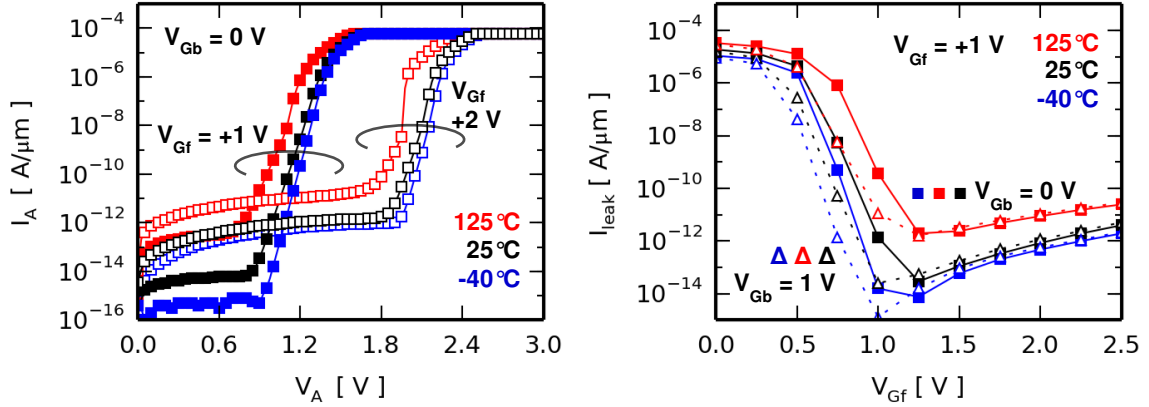


Figure 3.23 : (a) Relevé expérimental de la caractéristique I_A - V_A avec la température de -40°C à $+125^\circ\text{C}$, et (b) évolution du courant de fuite pour $V_A = 1$ V, en fonction de V_{Gf} du Z^2 -FET optimisé (la partie L_{int} est dopée), avec $L_G = 150$ nm, $L_{\text{int}} = 70$ nm.

3.5. Analyse du comportement transitoire du Z^2 -FET

Dans cette partie, nous analysons le comportement transitoire du Z^2 -FET grâce à la technique « Very Fast Transient Characterization System » (VFTCS) [Manouvrier 2009]. Il est notamment possible d'étudier en détail les premières nanosecondes de la réponse du dispositif et ainsi de gagner en compréhension sur les phénomènes régissant son déclenchement. Grâce à un générateur d'impulsion très rapide, disposant d'un temps de montée de 55 ps, envoyant des impulsions répétitives aux bornes du dispositif, et un oscilloscope numérique à sur-échantillonnage, cette technique permet d'obtenir les réponses en courant et en tension avec une résolution temporelle de l'ordre de 7 ps. Les formes d'ondes mesurées sont ainsi très précises. Avant d'être totalement déclenché et d'atteindre sa tension quasi-statique, la structure présente une surtension. Celle-ci est représentée sur la Figure 3.24. Nous définissons, sur cette réponse en tension, différentes grandeurs :

V_0 : la tension quasi-statique (valeur de la tension en régime établi),

V_{max} : la tension maximale (crête) atteinte par la tension,

dV : la différence entre V_{\max} et V_0 , il s'agit de l'amplitude de la surtension absolue

OS : l'amplitude de la surtension relative définie par dV/V_0

t_r : le temps de réponse défini entre 10% et 110% de V_0 , lorsqu'une surtension a lieu.

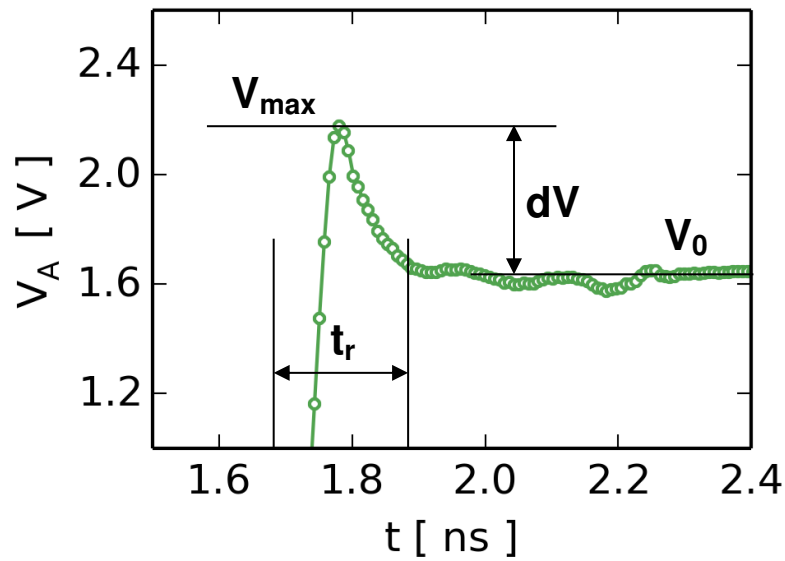


Figure 3.24 : Réponse transitoire du Z²-FET (non dopé) avec $V_{Gb} = 0$ V, $I_A = 1$ mA/ μ m, $L_G = L_{int} = 200$ nm, et définition des principales grandeurs étudiées.

L'impact de la longueur du Z²-FET sur ses caractéristiques courant-tension est examiné sur la Figure 3.25. Nous pouvons clairement observer que plus L_{int} et L_G sont longs, plus la tension quasi-statique V_0 ainsi que la tension crête V_{\max} sont élevées. En effet, la résistance série augmente avec la longueur, ce qui impacte V_0 et occasionne une surtension plus élevée.

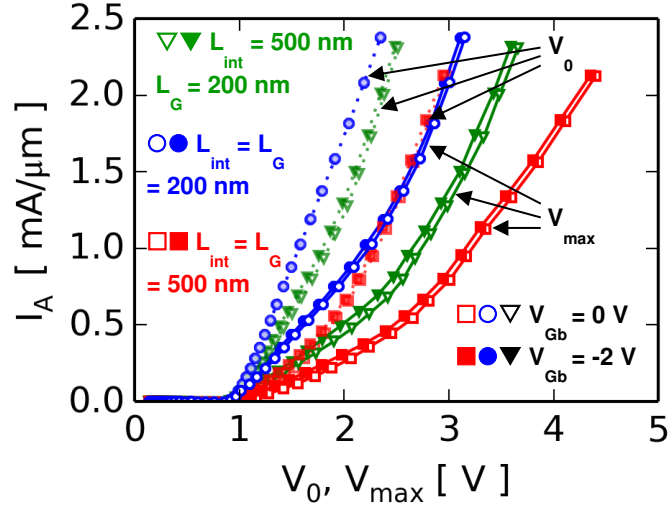


Figure 3.25 : Caractéristiques courant-tension expérimentales (VFTCS) du Z²-FET en technologie 28 nm FDSOI avec un front de montée de 55 ps.

L'évolution de la surtension (dV) ainsi que du temps de réponse (t_r) est reportée sur la Figure 3.26 pour le Z²-FET opérant en mode OFF ($V_{Gf} = +1,5$ V). Une augmentation de la surtension (dV) avec le courant injecté est constatée. Ceci est dû à la modulation de la conductivité [Manouvrier 2008], observée en régime fort courant lorsque la charge de diffusion dans le film s'établit trop lentement comparativement à l'injection des porteurs depuis l'anode et la cathode, causant une surtension (« overshoot »). Pour I_A fort ($I_A > 0,5$ mA/μm), nous pouvons également noter que la tension de face arrière V_{Gb} n'a qu'un impact négligeable sur les tensions V_{max} et V_0 (Figure 3.25). Ceci indique que le coupage capacitif entre le film de silicium et le plan de masse n'influe que très peu l'établissement des charges en régime de forte injection. Il en résulte une modification négligeable de la surtension et du temps de réponse. Concernant t_r , une nette diminution est notée pour I_A croissant. En effet, à une augmentation du courant injecté correspond une augmentation de la tension V_A aux bornes de la structure. Le temps de montée des impulsions étant constant, la valeur de dV/dt augmente. Le film de silicium est chargé d'autant plus rapidement, diminuant le temps de réponse. Enfin, ces données confirment que plus le Z²-FET est court, plus son déclenchement est rapide, et moins sa surtension est élevée. Par exemple, pour $I_A = 2$ mA/μm, dV passe de 1,3 V à 0,8 V et t_r de 200 ps à

120 ps, entre un dispositif avec $L_G = L_{int} = 500$ nm et un dispositif avec $L_G = L_{int} = 200$ nm (Figure 3.26).

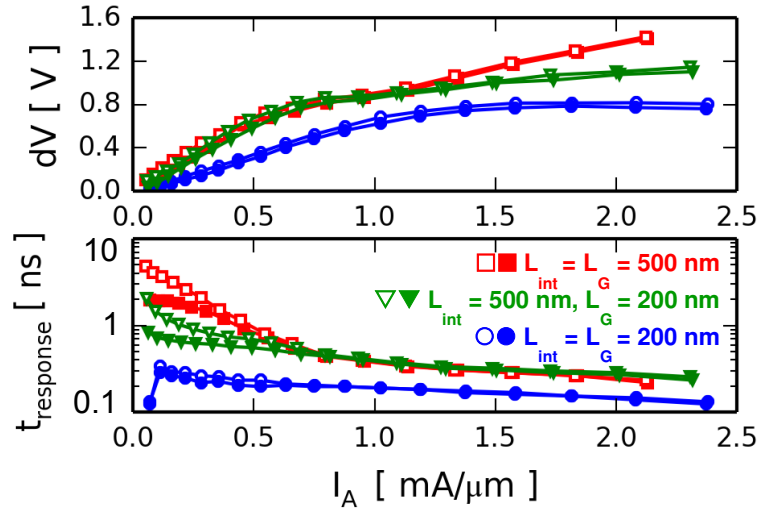


Figure 3.26 : Amplitude de la surtension et temps de réponse du Z^2 -FET en technologie 28 nm FDSOI, en fonction du courant injecté (I_A) et pour différentes géométries, obtenus expérimentalement par la technique VFTCS, avec un temps de montée de 55 ps, pour $V_{Gf} = 1.5$ V, $V_{Gb} = 0$ V (symboles vides) et $V_{Gb} = -2$ V (symboles pleins)

La Figure 3.27 montre la variation de la réponse transitoire du Z^2 -FET avec la tension de grille avant V_{Gf} . Quand V_{Gf} est diminuée à 0 V, la surtension s'effondre. Cela correspond au changement de mode de la structure : elle passe d'un état « OFF » à un état « ON ». En effet, à l'état OFF, avec une tension V_{Gf} suffisamment positive pour maintenir une couche d'inversion forte sous la grille, une barrière de potentiel est présente à côté de l'anode, empêchant les trous d'être injectés. Ce comportement est validé pour une large gamme de courant I_A (Figure 3.27 (b)), le pic de tension d'amplitude $dV = 0,75$ V peut être éliminé en abaissant V_{Gf} à 0 V. Cette tendance reflète le changement d'un état fortement résistif durant la surtension vers un état faiblement résistif, causé par l'élimination de la barrière d'injection coté anode. Cet effet a été validé pour d'autres géométries plus longues ainsi que pour un Z^2 -FET optimisé avec un dopage de la partie L_{int} (voir partie 3.4.4). Globalement, une polarisation de V_{Gf} à 0 V permet une réduction de 15 % de la valeur d'OS (pour $I_A \approx 2$ mA / μm). Du point de vue applicatif, cet effet est largement bénéfique puisque toute surtension peut être dommageable pour le circuit protégé. En situation de décharge ESD, la dépolarisation des tensions de grille permet

ainsi d'atténuer OS et t_r . En plus de cela, comme nous l'avons vu, l'implémentation d'un Z²-FET le plus court possible permet de limiter la surtension lors d'un événement ESD.

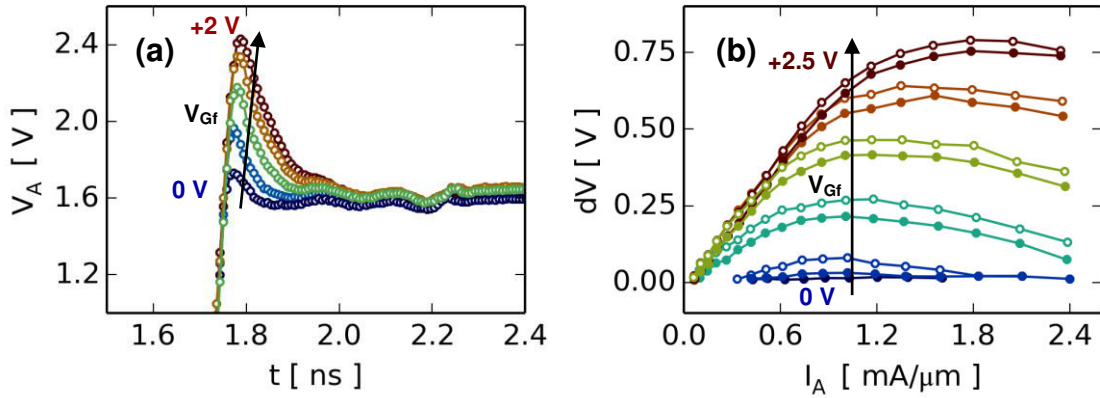


Figure 3.27 : (a) Evolution de la réponse transitoire du Z²-FET et (b) variation de la surtension du Z²-FET pour différentes tensions de grille (V_{Gf}), avec $V_{Gb} = 0$ V, $L_{int} = L_G = 200$ nm.

3.6. Conclusions

Dans ce chapitre, un nouveau dispositif de type diode P-I-N reposant sur la modulation des barrières d'injection de porteurs par effet de champ a été étudié : le Z²-FET. Sa conception ainsi que sa fabrication en technologies 28 nm et 14 nm FDSOI ont été détaillées. Il a été possible d'optimiser, grâce à des simulations TCAD, les mécanismes de son déclenchement. Par ailleurs, nous avons observé que les polarisations jouent un rôle fondamental dans les caractéristiques statiques du dispositif, en faisant un élément de protection adaptable à l'application visée. Ensuite, l'influence de paramètres tels que les épaisseurs du BOX, de silicium, les longueurs, la concentration du film ou la durée de vie des porteurs sur les figures de mérite faible et fort courant du Z²-FET a été analysée. En outre, des caractérisations électriques à différentes températures nous ont notamment permis de mettre en évidence les mécanismes contribuant au courant de fuite. En complément, il a été montré que le comportement dynamique de la structure est modulé par les charges d'inversion et d'accumulation dans le canal : la réponse transitoire du Z²-FET peut être améliorée en termes de temps de réponse et de surtension grâce à la dépolarisation des grilles avant (V_{Gf}) et arrière (V_{Gb}). Finalement, une optimisation a été

proposée, permettant de simplifier l'implémentation de protections ESD reposant sur le Z²-FET. En résumé, le Z²-FET constitue un dispositif de protection original, tout en restant efficace. Cependant, cet élément de protection reste passant lorsqu'aucune polarisation externe ne lui est appliquée. Le chapitre suivant détaille un autre dispositif innovant, pouvant fonctionner en dipôle bloqué en mode de fonctionnement normal du circuit, sans ajout de polarisations externes.

3.7. Bibliographie

- [Benoist 2010] T. Benoist, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, and P. Gentil, “ESD robustness of FDSOI gated diode for ESD network design: Thin or thick BOX?,” in SOI Conference (SOI), 2010 IEEE International, 2010, pp. 1–2.
- [Chen 1987] J. Chen, T. Y. Chan, I. C. Chen, P. K. Ko, and C. Hu, “Subbreakdown drain leakage current in MOSFET,” IEEE Electron Device Lett., vol. 8, no. 11, pp. 515–517, 1987.
- [Choi 2007] Woo Young Choi, B.-G. Park, Jong-Duk Lee, and Tsu-Jae King Liu, “Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec,” IEEE Electron Device Lett., vol. 28, no. 8, pp. 743–745, 2007.
- [Eminente 2007] S. Eminente, S. Cristoloveanu, R. Clerc, A. Ohata, and G. Ghibaudo, “Ultra-thin fully-depleted SOI MOSFETs: Special charge properties and coupling effects,” Solid. State. Electron., vol. 51, no. 2, pp. 239–244, 2007.
- [Entringer 2006] C. Entringer, P. Flatresse, P. Galy, F. Azais, and P. Nouet, “Partially Depleted SOI body-contacted MOSFET-triggered silicon controlled rectifier for ESD protection,” in Electrical Overstress/Electrostatic Discharge Symposium, 2006. EOS/ESD '06., 2006, pp. 166–171.
- [Ernst 2007] T. Ernst, R. Ritzenthaler, O. Faynot, and S. Cristoloveanu, “A Model of Fringing Fields in Short-Channel Planar and Triple-Gate SOI MOSFETs,” Electron Devices, IEEE Trans., vol. 54, no. 6, pp. 1366–1375, 2007.
- [Fenouillet-Beranger 2009] C. Fenouillet-Beranger, S. Denorme, P. Perreau, C. Buj, O. Faynot, F. Andrieu, L. Tosti, S. Barnola, T. Salvétat, X. Garros, M. Cassé, F. Allain, N. Loubet, L. Pham-Nguyen, E.

- Deloffre, M. Gros-Jean, R. Beneyton, C. Laviron, M. Marin, C. Leyris, S. Haendler, F. Leverd, P. Gouraud, P. Scheiblin, L. Clement, R. Pantel, S. Deleonibus, and T. Skotnicki, "FDSOI devices with thin BOX and ground plane integration for 32nm node and below," *Solid. State. Electron.*, vol. 53, no. 7, pp. 730–734, 2009.
- [Fenouillet-Beranger 2011] C. Fenouillet-Beranger, P. Perreau, L. Tosti, O. Thomas, J. Noel, T. Benoist, O. Weber, F. Andrieu, A. Bajolet, S. Haendler, M. Cassé, X. Garros, K. K. Bourdelle, F. Boedt, O. Faynot, F. Boeuf, C. Fenouillet-Beranger, M. Casse, and F. Bouf, "Low power UTBOX and back plane (BP) FDSOI technology for 32nm node and below," in *IC Design Technology (ICICDT)*, 2011 IEEE International Conference on, 2011, pp. 1–4.
- [Gallon 2007] C. Gallon, "Architectures avancées de transistors CMOS SOI pour le noeud 32nm et en deça : films ultra-fins, contraintes mécaniques, BOX mince et plan de masse," Thèse de doctorat, Grenoble INP, 2007.
- [Goossens 1994] R. J. G. Goossens, S. Beebe, Z. Yu, and R. W. Dutton, "An automatic biasing scheme for tracing arbitrarily shaped I-V curves," *Comput. Des. Integr. Circuits Syst. IEEE Trans.*, vol. 13, no. 3, pp. 310–317, 1994.
- [Lim 1983] H.-K. Lim, J. G. Fossum, and V. I. Summary, "Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's," *Electron Devices, IEEE Trans.*, vol. 30, no. 10, pp. 1244–1251, 1983.
- [Manouvrier 2009] J. R. Manouvrier, P. Fonteneau, C. A. Legrand, P. Nouet, and F. Azaïs, "Characterization of the transient behavior of gated/STI diodes and their associated BJT in the CDM time domain," *Microelectron. Reliab.*, vol. 49, no. 12, pp. 1424–1432, 2009.
- [Manouvrier 2008] J.-R. J. Manouvrier, "Comportement des diodes de protection lors des événements transistoirs rapides dus aux ESD : outils de caractérisation, physique du semi-conducteur et modélisation CMOS," Thèse de doctorat, Université de Montpellier II, 2008.
- [McKitterick 1989] J. B. McKitterick and A. L. Caviglia, "An analytic model for thin SOI transistors," *Electron Devices, IEEE Trans.*, vol. 36, no. 6, pp. 1133–1138, 1989.
- [Mergens 2005] M. P. J. Mergens, O. Marichal, S. Thijs, B. Van Camp, and C. C. Russ, "Advanced SCR ESD protection circuits for

- CMOS/SOI nanotechnologies,” in Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005, 2005, pp. 481–488.
- [Planes 2012] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Beranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, “28nm FDSOI technology platform for high-speed low-voltage digital applications,” in VLSI Technology (VLSIT), 2012 Symposium on, 2012, pp. 133–134.
- [Salman 2006] A. A. Salman, S. G. Beebe, M. Emam, M. M. Pelella, and D. E. Ioannou, “Field Effect Diode (FED): A novel device for ESD protection in deep sub-micron SOI technologies,” in *Electron Devices Meeting, 2006. IEDM '06. International*, 2006, pp. 1–4.
- [Schroder 2006] D. K. Schroder, *Semiconductor Material and Device Characterization*. John Wiley & Sons, 2006.
- [Synopsys 2009] Synopsys, “Sentaurus Device User Guide Version C-2009.06.” 2009.
- [Takahashi 2013] T. Takahashi, T. Matsuki, T. Shinada, Y. Inoue, and K. Uchida, “Comparison of self-heating effect (SHE) in short-channel bulk and ultra-thin BOX SOI MOSFETs: Impacts of doped well, ambient temperature, and SOI/BOX thicknesses on SHE,” in 2013 IEEE International Electron Devices Meeting, 2013, pp. 7.4.1–7.4.4.
- [Wan 2011] J. Wan, C. Le Royer, A. Zaslavsky, and S. Cristoloveanu, “Gate-induced drain leakage in FD-SOI devices: What the TFET teaches us about the MOSFET,” *Microelectron. Eng.*, vol. 88, no. 7, pp. 1301–1304, 2011.
- [Wan 2012a] J. Wan, C. Le Royer, A. Zaslavsky, and S. Cristoloveanu, “Z2-FET used as 1-transistor high-speed DRAM,” in *Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European*, 2012, pp. 197–200.
- [Wan 2012b] J. Wan, C. Le Royer, A. Zaslavsky, and S. Cristoloveanu, “Z2-FET: a steep switching device with gate-controlled hysteresis,” in *EuroSOI Conference Proceedings*, 2012, 2012, pp. 25–26.

- [Wan 2012c] J. Wan, S. Cristoloveanu, C. Le Royer, and A. Zaslavsky, “A feedback silicon-on-insulator steep switching device with gate-controlled carrier injection,” *Solid. State. Electron.*, no. 76, pp. 109–111, 2012.
- [Wan 2012d] J. Wan, “Dispositifs innovants à pente sous le seuil abrupte: du TFET au Z2-FET,” Thèse de doctorat ,Université de Grenoble, École Doctorale EEATS (Grenoble INP), 2012.
- [Wan 2013] J. Wan, S. Cristoloveanu, C. Le Royer, A. Zaslavsky, “Z2FET field-effect transistor with a vertical subthreshold slope and with no impact ionization,” US8581310, 2013.
- [Wan 2014] J. Wan, S. Cristoloveanu, C. Le Royer, A. Zaslavsky, “Dynamic memory cell provided with a field-effect transistor having zero swing,” US8634229, 2014.
- [Wang 2004] P.-F. Wang, K. Hilsenbeck, T. Nirschl, M. Oswald, C. Stepper, M. Weis, D. Schmitt-Landsiedel, and W. Hansch, “Complementary tunneling transistor for low power application,” *Solid. State. Electron.*, vol. 48, no. 12, pp. 2281–2286, 2004.

Chapitre 4

Un nouveau dispositif de protection : BBC-T

Dans cette partie, nous nous intéressons à la conception d'un thyristor latéral en technologie 28 nm FDSOI : le BBC-T pour « Back Bias Controlled Thyristor ». Ce dispositif n'utilise pas de grille avant mais peut mettre à profit la tension de grille arrière appliquée sur le plan de masse. Nous allons détailler le principe de fonctionnement et préciser comment la tension de grille arrière permet de bloquer ou de déclencher l'injection de porteurs. Des caractérisations systématiques montrent l'influence de la géométrie du BBC-T ainsi que du type de plan de masse (associé au type du caisson) ou des paramètres du procédé (dopage des bases B_P et B_N) sur les caractéristiques électriques. Les performances dans les régimes ESD sont également évaluées. En complément, les performances en régime transitoire montrent quels leviers permettent d'améliorer le déclenchement de la structure afin de se prémunir contre des décharges rapides, de type CDM par exemple.

4.1. Description et fabrication de la structure

4.1.1. Technologie 28 nm FDSOI

Le BBC-T (Back Bias Controlled Thyristor) a été dessiné et fabriqué en technologie 28 nm FDSOI [Planes 2012]. Aucune modification n'a été apportée au procédé de fabrication CMOS standard, ce qui en fait un dispositif complètement compatible avec cette technologie. Le BBC-T est globalement une structure de thyristor latérale. Comparativement à une diode PIN, une zone dopée de type N obtenue par implantation d'Arsenic, est ajoutée à proximité de l'anode. Un agencement de type PNPN est obtenu dans le film SOI, comme montré sur la Figure 4.1. Sous ce dispositif, le BOX ultrafin offre une dissipation thermique améliorée par rapport à des topologies plus épaisses [Benoist 2010].

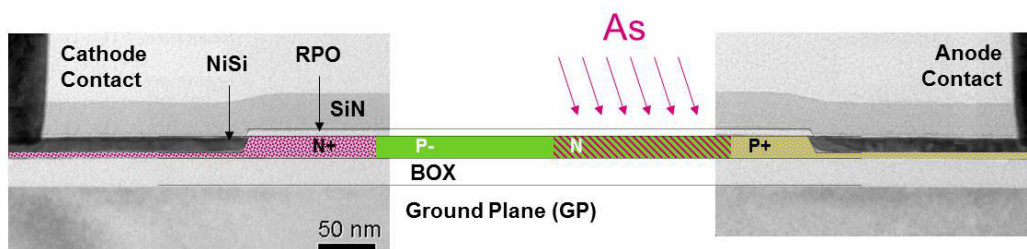


Figure 4.1 : Vue en coupe du BBC-T en technologie 28 nm FDSOI.

Le plan de masse (GP) implanté sous l'oxyde enterré agit comme une grille arrière (notée G_b). La connexion à cette grille arrière est effectuée grâce à une prise hybride (gravure locale du BOX) à proximité de la structure SOI, comme montré sur la Figure 4.2. Par ailleurs, pour réduire les résistances d'accès aux sources et aux drains, on réalise une épitaxie de silicium sur toute la structure. L'épaisseur finale du film de silicium est de $t_{si} + t_{epi} = 22$ nm environ (Figure 4.3). La base P (B_P) et la base N (B_N) sont contactées latéralement. Une couche de protection RPO (Resist Protect Oxide) est déposée pour empêcher toute siliciuration (court-circuit) de la base P et de la base N. La longueur du

chevauchement de la couche RPO sur l'anode et sur la cathode est nommée LRPO. Elle vaut nominalelement environ 200 nm. LC est la distance entre la jonction A/B_N (ou K/B_P) et le bord du contact. L_N et L_P sont les largeurs des bases B_N et B_P respectivement.

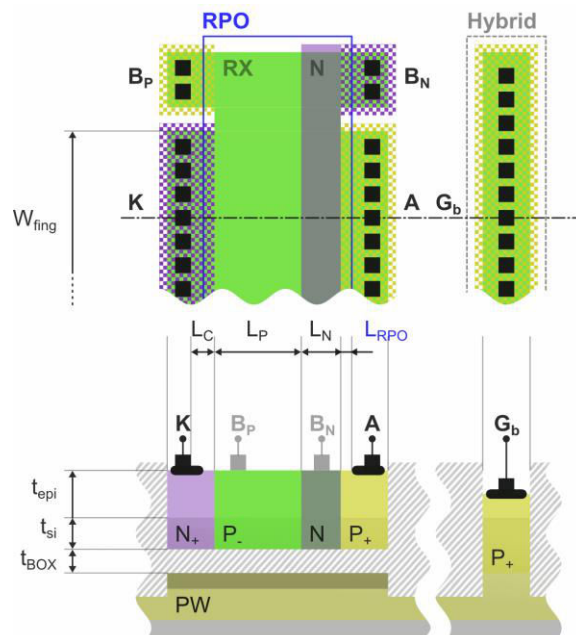


Figure 4.2 : Vue du dessin (layout) et vue *en coupe* d'un doigt du BBC-T.

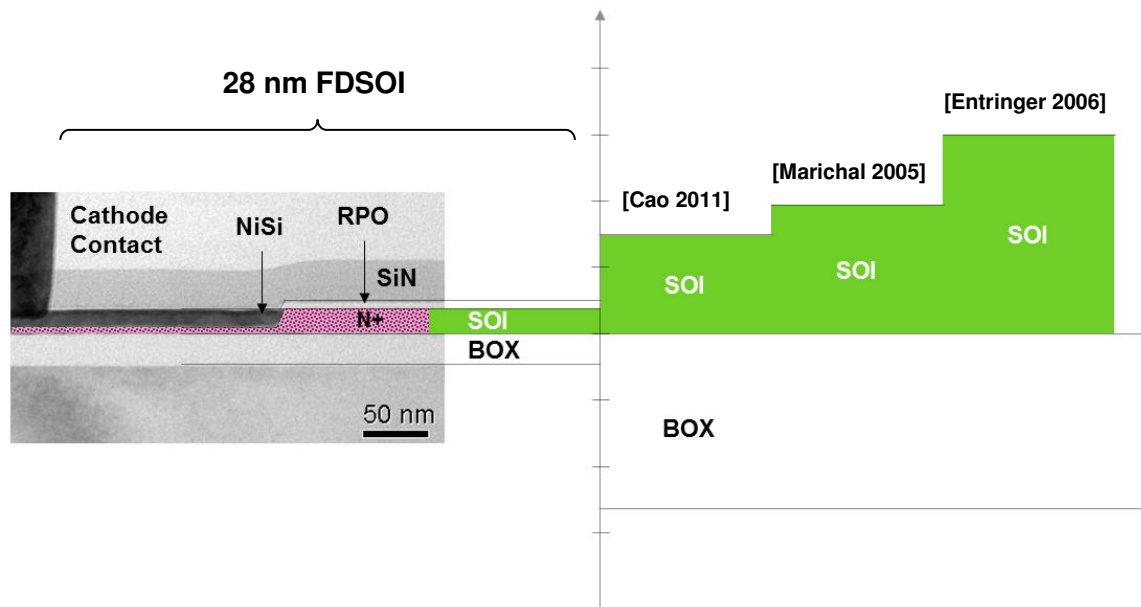


Figure 4.3 : Comparaison de l'épaisseur du BOX et de t_{si} du BBC-T en technologie 28 nm FDSOI avec des thyristors d'autres technologies SOI ([Cao 2011], [Marichal 2005], [Entringer 2006]).

4.1.2. Technologie 14 nm FDSOI

En technologie 14 nm FDSOI, de légères différences apparaissent par rapport au nœud 28 nm. Nativement, les épaisseurs du film de silicium et de l'oxyde enterré sont légèrement plus faibles : $t_{\text{si}} = 5 \text{ nm}$ et $t_{\text{BOX}} = 20 \text{ nm}$. La Figure 4.4 illustre le procédé de fabrication utilisé. En premier lieu, les zones hybrides sont définies et le BOX est localement gravé pour contacter le plan de masse (a). Les zones hybrides sont épitaxiées afin d'être mises à niveau avec la surface du silicium des zones SOI. Puis, les zones actives sont définies et les tranchées d'isolation (STI) fabriquées. Ensuite, les caissons ainsi que les plans de masse sont implantés sous le BOX. A l'étape suivante, un masque dur est déposé, laissant à découvert l'anode et la cathode. Les anodes et cathodes sont réalisées par des épitaxies dopées in-situ. Ainsi, à ce stade (b), le film de silicium entre l'anode et la cathode n'est pas épitaxié : il garde son épaisseur native, ce qui constitue une différence majeure avec la technologie 28 nm FDSOI. Enfin, la base N est constituée

grâce à une implantation d'Arsenic (c) afin d'obtenir une topologie PNPN (thyristor). Enfin les zones d'anode, de cathode et de base sont contactées.

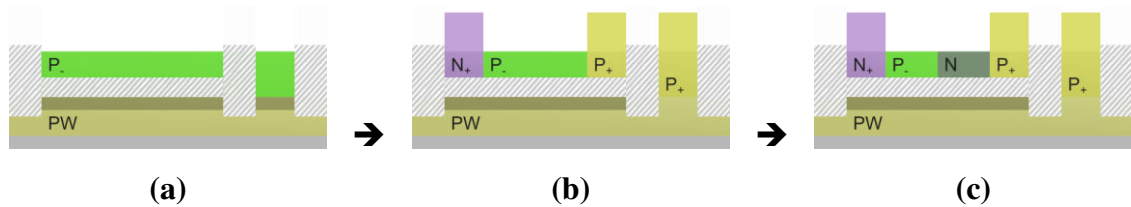


Figure 4.4: Illustration simplifiée de la fabrication du BBC-T en technologie 14 nm FDSOI.

4.2. Principe de fonctionnement

Une représentation électrique du BBC-T, similairement au thyristor classique, consiste en deux transistors bipolaires imbriqués [Sze 1981], comme montré sur la Figure 4.5. Le collecteur du transistor NPN (B_N) constitue également la base du PNP, et vice-versa. B_P peut être laissé flottant ou relié à la cathode (on parle alors de mode bloqué), afin de diminuer l'injection de porteurs depuis l'émetteur du NPN (cathode). Cela consiste à bloquer sa jonction base-émetteur.

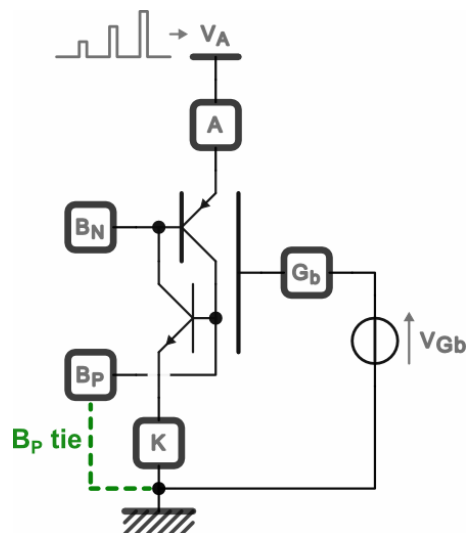


Figure 4.5 : Représentation électrique équivalente du BBC-T avec le contrôle par grille arrière.

Le gain de chacun des transistors bipolaires est crucial pour le déclenchement du thyristor. Le transistor NPN a été caractérisé indépendamment, en balayant la tension de

de base (V_{Bp}) et en gardant constant $V_{BC} = V_{Bn} - V_{Bp} = 0$ V. De plus, V_{Gb} est fixé à -2 V pour empêcher toute activation du canal arrière et maintenir la région B_P en accumulation. Expérimentalement, le gain en émetteur commun du transistor NPN augmente d'environ 8 à 38 lorsque la longueur de la base B_P dessinée est réduite de 500 nm à 200 nm, comme montré sur la Figure 4.6. En condition d'accumulation, pour une longueur L_P fixée, le gain pour chacun des transistors avec plan de masse N et plan de masse P est identique. Nous pouvons en déduire qu'un des paramètres majeurs impactant le fonctionnement du BBC-T est la longueur L_P , pouvant être facilement agrandie ou rétrécie lors du dessin de la protection.

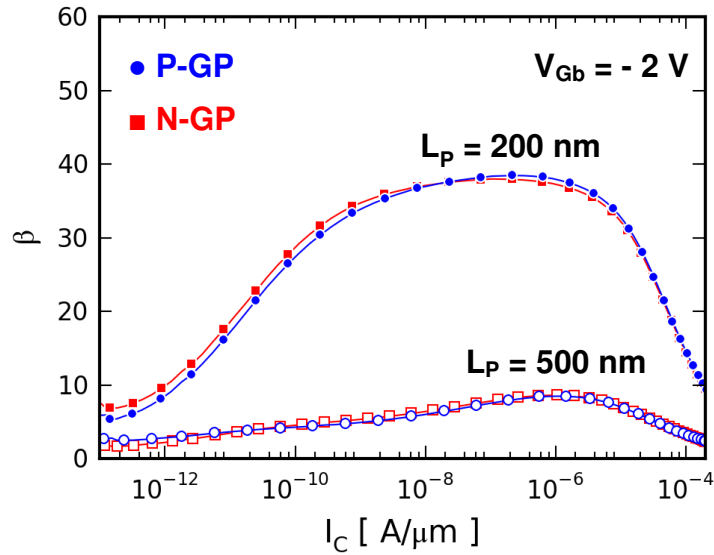


Figure 4.6 : Gain en émetteur commun du transistor NPN du BBC-T, en fonction du courant de collecteur (I_C) pour $L_P = 500$ nm (symboles ouverts) and $L_P = 200$ nm (symboles pleins).

4.3. Couplage capacitif sur la grille arrière

4.3.1. Effet MOS « face arrière »

Puisque la structure du BBC-T est formée au-dessus d'un BOX fin ($t_{\text{BOX}} \leq 25$ nm), un fort contrôle du potentiel électrostatique de la base la moins dopée (dans notre cas : B_P) est obtenu avec la tension de grille arrière V_{Gb} . La région centrale N (B_N) forme une barrière pour les trous injectés depuis l'anode, et est suffisamment fortement dopée pour bloquer tout effet de champ provenant de la grille arrière. Par contraste, la région centrale P (B_P) est laissée non dopée et montre un fort couplage avec V_{Gb} . Ainsi, la barrière d'injection des électrons depuis la cathode est modulée avec la grille arrière. La Figure 4.7 montre l'évolution de l'énergie des bandes de valence et de conduction avec V_{Gb} . Comme nous pouvons le voir, pour une tension V_{Gb} faible ou négative, la barrière de la jonction base-émetteur coté anode est forte, nous sommes alors en condition d'accumulation de la base P. Au contraire, lorsque V_{Gb} est positif, cette barrière est diminuée (inversion de B_P), facilitant l'injection d'électrons depuis la cathode.

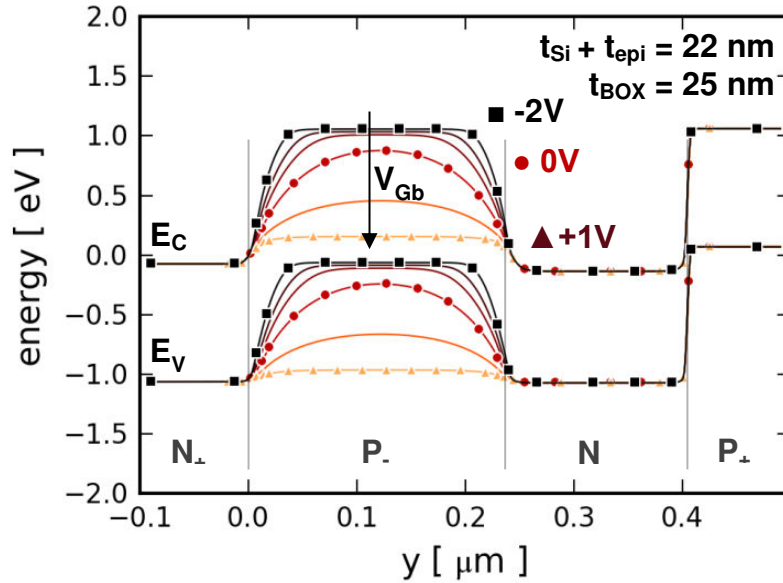


Figure 4.7 : Diagramme de bandes simulé du BBC-T (TCAD: [Synopsys 2009]) au milieu du film SOI, depuis la cathode (à gauche) vers l'anode (à droite) pour $V_A = 0$ V, et $L_P + L_N = 400$ nm.

De cette façon, la région NPN peut être contrôlée par la grille arrière (V_{Gb}), formant un transistor “NMOS face-arrière”. Les caractéristiques expérimentales I_d - V_{Gb} de ce transistor NMOS sont reportées sur la Figure 4.8, avec la base B_P et l’anode flottantes, le courant de drain I_d correspond alors au courant de base du transistor NPN : $I_d = I_{Bn}$. La tension de seuil a été extraite en utilisant la technique de la « fonction Y » [Ghibaudo 1988] en régime linéaire ($V_d = 20$ mV). Pour chaque type de plan de masse, la tension de seuil V_{th} est similaire entre le transistor à canal court et à canal long. Le principal décalage ($\Delta V_{th} \approx 850$ mV) observé est causé par le changement de type de plan de masse. Cela s’explique par la différence des travaux de sortie entre le plan de masse N et le plan de masse P. Par ailleurs, pour une longueur de canal fixée, les pentes sous le seuil sont égales, mais sont dégradées de $S \approx 95$ mV/dec pour $L_P = 500$ nm jusqu’à $S \approx 175$ mV/dec for $L_P = 200$ nm (pour les types N-GP et P-GP). Cela indique une perte de contrôle significative de V_{Gb} sur les canaux courts, en régime d’inversion faible. L’action de V_{Gb} sur la base P est ainsi mise en évidence.

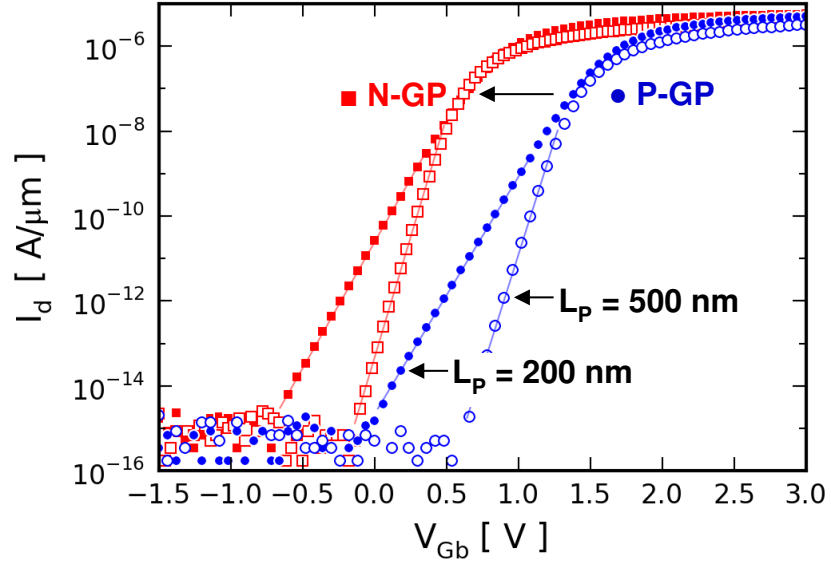


Figure 4.8 : Caractéristique I_d - V_{Gb} mesurée avec $V_d = 20\text{mV}$ (base B_p flottante, en fonction du type de plan de masse et de la longueur L_p définissant la largeur de la base du NPN.

En conséquence, si $V_{Gb} \geq 0\text{ V}$, il est possible d'observer un changement du gain effectif du NPN causé par la tension de face arrière. La Figure 4.9 montre que le courant de collecteur I_C est augmenté exponentiellement avec V_{Gb} (activation du canal face arrière), alors que le courant de base est maintenu à une valeur presque constante. En réalité, I_C inclut le courant du "NMOS face arrière". Nous pouvons alors reconnaître cet élément comme un « transistor bipolaire à grille », similairement à [Colinge 1986], [Colinge 1987]. Cette augmentation d' I_C cause à son tour une augmentation significative du gain effectif du NPN : β_{NPN} .

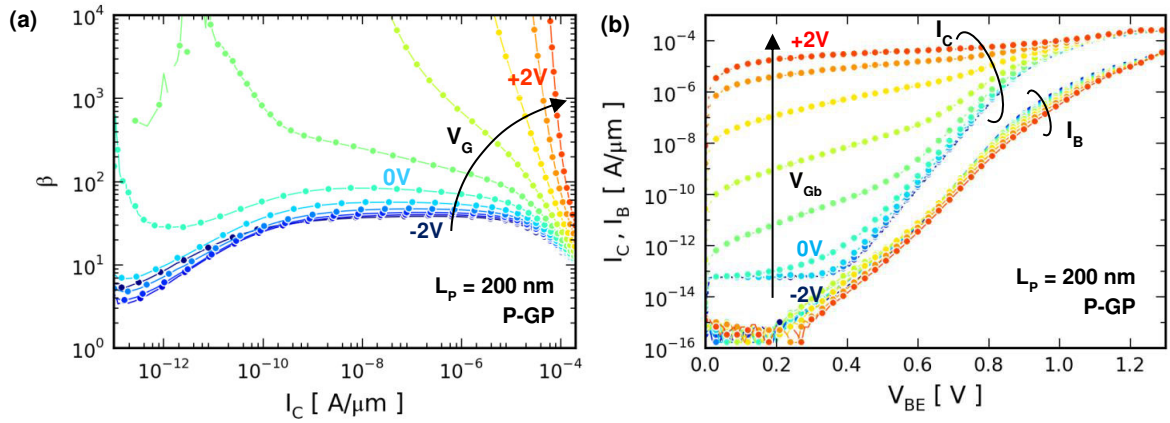


Figure 4.9 : Tracés expérimentaux de Gummel pour le transistor NPN. (a) Gain en émetteur commun, (b) courants de collecteur et de base pour le NPN avec plan de masse P.

4.3.2. Contrôle du déclenchement et de la fuite du BBC-T

Nous avons étudié l'impact de V_{Gb} sur le transistor NPN. Nous détaillons maintenant son impact sur la tension de déclenchement. La Figure 4.10 montre qu'une variation linéaire de la tension de déclenchement V_{t1} avec V_{Gb} est obtenue. Ceci est expliqué par le contrôle de la boucle de contre-réaction entre les deux transistors bipolaires par β_{NPN} . Une augmentation du gain effectif β causé par l'activation du NMOS face arrière réduit la tension de déclenchement. Dans la configuration où la base B_P est laissée flottante, V_{t1} peut être diminuée en dessous de 1 V si $V_{Gb} = +1 \text{ V}$. Cet effet peut être utilisé pour mettre en conduction rapidement le dispositif en cas d'évènement ESD. Cependant, si V_{Gb} est maintenu à 0 V, la structure est déclenchée pour $V_A = 2,5 \text{ V}$ (B_P flottant), ce qui constitue une valeur adéquate pour protéger les MOSFETs « digitaux » à oxyde de grille fin [Benoist 2011]. Lorsque B_P est relié à la cathode (mode bloqué), et la tension de face arrière est nulle, le BBC-T est déclenché pour $V_A = 3,9 \text{ V}$ du fait que le gain du NPN est diminué en maintenant sa tension base-émetteur à 0 V.

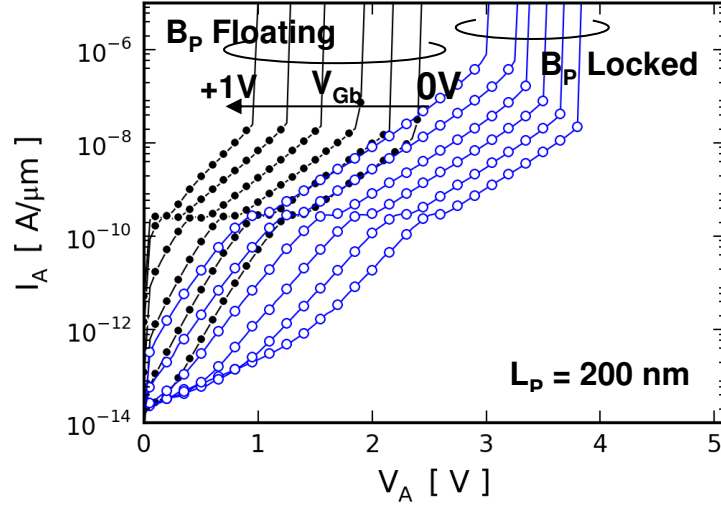


Figure 4.10 : Caractéristique expérimentale DC I_A - V_A pour différentes tensions V_{Gb} , du BBC-T avec un plan de masse de type P, pour $L_P = 200$ nm, B_P flottant (symboles pleins) et B_P bloqué à la cathode (symboles vides).

Ensuite, afin de juger de la transparence du BBC-T, son courant de fuite a été extrait à une tension d'anode constante ($V_A = V_{dd} = 1$ V). Ce tracé est reporté sur la Figure 4.11. Une dépendance exponentielle du courant I_{leak} sur V_{Gb} est observée. Pour $V_{Gb} = 0$ V, et un plan de masse P (P-GP) un courant I_{leak} de 80 pA/μm est mesuré lorsque les deux bases sont laissées flottantes. Cette fuite peut être réduite à 0,6 pA/μm lorsque B_P est en configuration bloquée. En laissant la base B_P flottante, et en utilisant une tension de face arrière V_{Gb} négative, des valeurs extrêmement basses de I_{leak} peuvent être atteintes : $I_{leak} < 20$ fA/μm pour $V_{Gb} < -1$ V. Cette variation s'explique simplement par l'effet de champ à travers le BOX : lorsque V_{Gb} augmente, une couche d'inversion faible se crée et autorise l'injection d'électrons depuis la cathode. Cependant, lorsque la base B_P est connectée à la cathode, une légère augmentation du courant de fuite est mesurée pour les tensions de face arrière négatives, cela est attribué au courant de fuite inverse de la jonction centrale B_P/B_N .

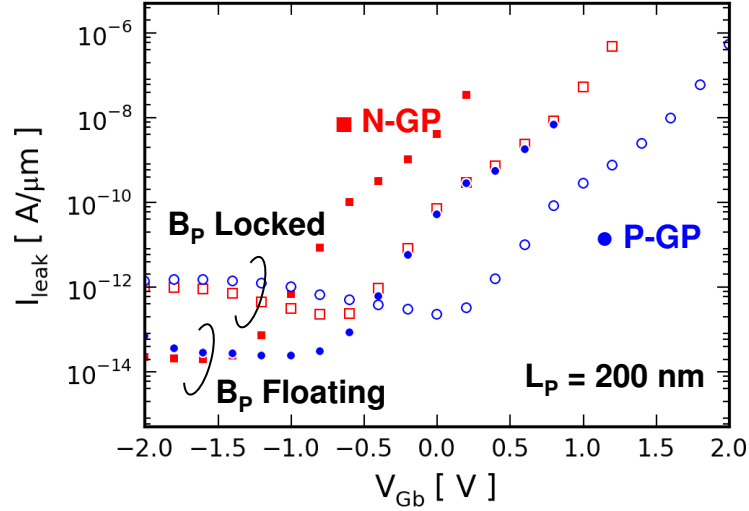


Figure 4.11 : Courant de fuite en fonction de la tension de face arrière V_{Gb} , pour un plan de masse de type P, $L_P = 200$ nm, $V_{Gb} = 0$ V, B_P laissé flottant (symboles pleins) ou B_P bloqué à la cathode (symboles vides), pour une tension d'anode $V_A = 1$ V.

Pour investiguer le comportement en régime ESD (fort courant) de la structure, des caractérisations « Transmission Line Pulse » (TLP) 100 ns ont été menées. Les bases B_P et B_N ont été laissées flottantes, et une tension variable sur la grille arrière a été appliquée : V_{Gb} de -2 V to +2 V. Le relevé I_A - V_A est reporté sur la Figure 4.12. Ces mesures confirment que l'utilisation de la grille arrière dans le but de moduler la tension de déclenchement du BBC-T est efficace. Par ailleurs, pour obtenir les performances fort courant (courant maximal, résistance série) du BBC-T, des tests destructifs ont été conduits, les courbes I_A - V_A résultantes sont tracées sur Figure 4.13. La tension V_{Gb} n'a pas d'impact significatif sur le courant de défaillance: $I_{t2} \approx 5$ mA/ μ m. Si nous limitons la fenêtre de conception à une tension d'anode maximale $V_A = 2,6$ V (tension de claquage des MOSFETs digitaux), la densité de courant pouvant circuler dans le BBC-T est de 3 mA/ μ m. En résumé, **cela valide que le BBC-T est un élément de protection efficace pour évacuer une décharge ESD avant la rupture des transistors MOS protégés**. Par ailleurs, l'emploi de V_{Gb} permet de moduler les caractéristiques telles que la fuite et le déclenchement, ce qui peut s'avérer utile pour adapter au mieux le BBC-T à une fenêtre de conception donnée, améliorer sa transparence, ou diminuer sa tension de déclenchement en cas de décharge ESD.

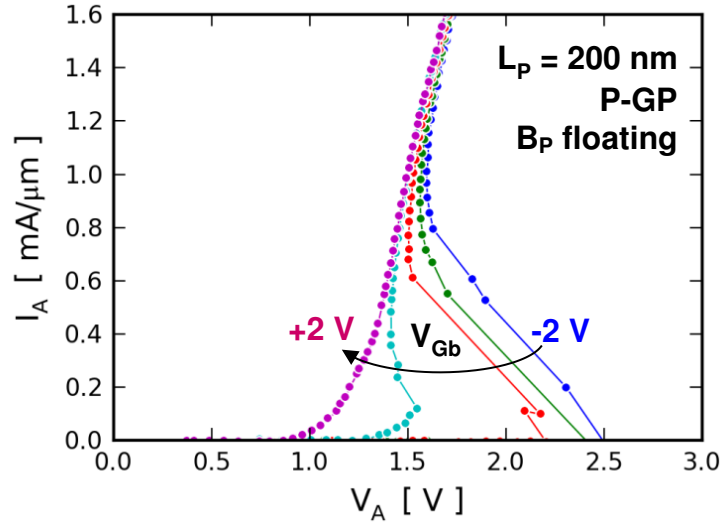


Figure 4.12 : Caractérisation TLP 100 ns (I_A - V_A) non destructive du BBC-T avec un temps de montée de 250 ps, $L_P = L_N = 200$ nm, B_P et B_N sont flottants, en technologie 28 nm.

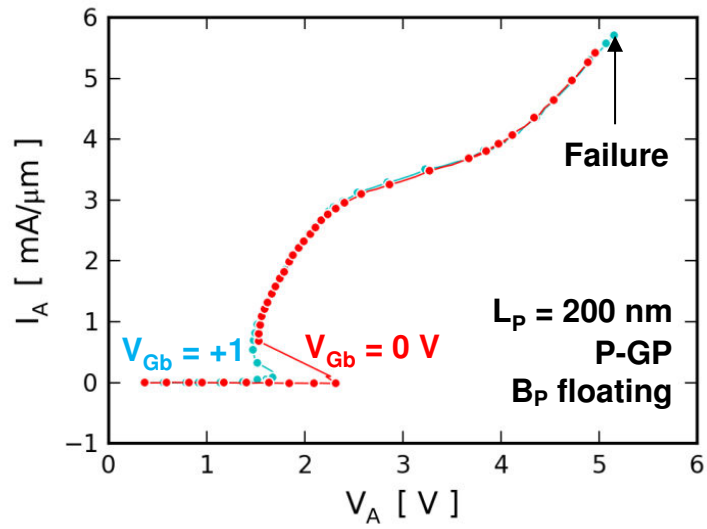


Figure 4.13 : Résultats de caractérisation TLP destructives (I_A - V_A) du BBC-T avec un temps de montée de 250 ps, $L_P = L_N = 200$ nm, B_P et B_N sont flottants, en technologie 28 nm.

4.4. Influence des largeurs de base L_N et L_P

Les deux longueurs de base L_N et L_P sont les paramètres principaux utilisés par les concepteurs lors du dessin d'un thyristor pour en moduler les caractéristiques en tant que protection et l'ajuster à l'application visée. Une compréhension de leur influence est donc fondamentale. Généralement, les effets de la longueur du dispositif sont étudiés grâce à la seule grandeur L_{AC} , la distance entre l'anode et la cathode et la somme de L_N et L_P [Li 2012], [Mertens 2013], [Romanescu 2011]. La concentration des deux bases étant différente, il est proposé dans cette partie de dissocier l'influence de chacune de leur longueur. Comme nous l'avons vu précédemment dans la partie 4.3.1, plus la base L_P est longue, plus le contrôle de son potentiel est efficace : le NMOS « face arrière » formé par la région NPN dispose d'un courant sous le seuil plus abrupt. Par ailleurs, le gain du transistor bipolaire NPN est plus faible (mesuré en accumulation dans la partie 4.2). L_N influence similairement le transistor PNP. La Figure 4.14 montre l'effet de l'augmentation de la longueur L_P sur la caractéristique fort-courant du BBC-T : le déclenchement est fortement impacté par L_P , et V_{t1} ainsi que V_H sont augmentés de plusieurs volts. Si les géométries les plus courtes sont adaptées à protéger des applications basse-tension (MOSFETs « digitaux », $V_{dd} = 1\text{ V}$), ce résultat montre qu'il est envisageable d'utiliser le BBC-T pour des applications à plus haute tension d'alimentation ($V_{dd} = 3,3\text{ V}$ par exemple).

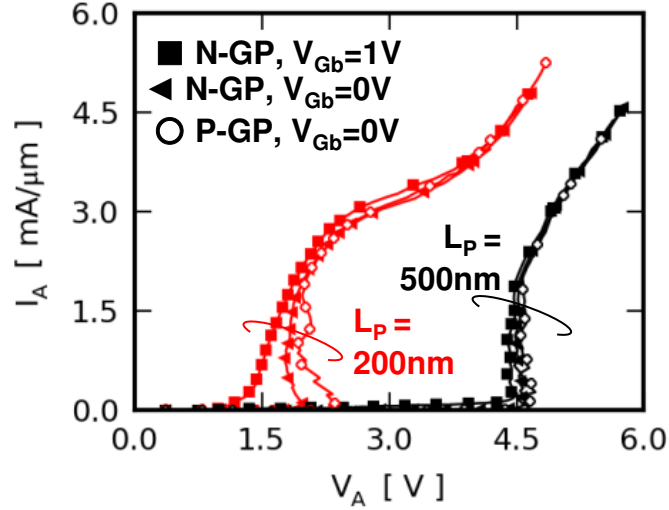


Figure 4.14 : Mesures I_A - V_A TLP 100 ns pour deux géométries de BBC-T, avec B_P relié à la cathode et B_N flottant.

Afin d'investiguer finement l'évolution des caractéristiques électriques avec la longueur de la base B_P , le BBC-T a été fabriqué pour des longueurs L_P allant de 100 nm à 2 μ m. Les tensions de déclenchement et de maintien ont été extraites à partir de mesures TLP présentées sur la Figure 4.15. Nous observons que V_{t1} est considérablement augmenté lorsque L_P est agrandi : entre 150 et 650 nm, la variation est linéaire, avec $\Delta V_{t1}/\Delta L_P = 21 \text{ mV} / \text{nm}$. Ceci s'explique d'une part par la diminution du gain du transistor NPN, et d'autre part par l'augmentation du contrôle de la grille arrière B_P : pour une géométrie plus longue, la barrière d'injection de la jonction B_P -cathode s'affaiblit moins rapidement avec V_A . Toutefois, pour les longues géométries, V_{t1} sature à une valeur dictée par l'avalanche de la jonction centrale du thyristor. V_H s'accroît également avec L_P , et passe de 1 V pour les géométries courtes à environ 5 V pour les longs L_P , du fait de la diminution du gain et de l'augmentation de la résistance série. Le courant de fuite, mesuré pour $V_A = V_{dd} = 1,8 \text{ V}$, est quant à lui abaissé exponentiellement avec L_P . Ainsi, entre $L_P = 300 \text{ nm}$ et $L_P = 1 \mu\text{m}$, I_{leak} s'abaisse au rythme de 3,6 décades par micromètre d'augmentation de L_P , lorsque B_P est connecté à la cathode, la tendance étant similaire lorsque B_P est laissé flottant. Ceci confirme que la barrière B_P -cathode est d'autant mieux contrôlée que la base B_P est longue. En outre, nous pouvons aussi observer sur les relevés du courant de fuite que lorsque B_P est relié à la cathode, I_{leak} est moins impacté par le

changement du type de plan de masse de P vers N. Cela indique que dans cette configuration, le couplage capacitif entre le potentiel de la grille arrière et le potentiel électrostatique du film influe moins sur la fuite que lorsque la base B_P est laissée flottante.

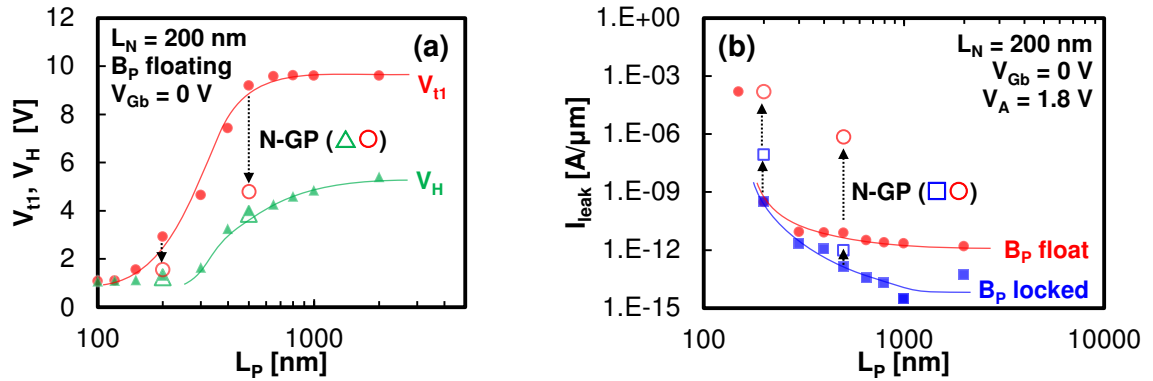


Figure 4.15 : Influence de la longueur L_P du BBC-T sur (a) les tensions de déclenchement et de maintien (extraites à partir de données TLP 100 ns expérimentales) et (b) le courant de fuite (mesures DC), avec $L_N = 200$ nm, pour plan de masse de type P (symboles pleins) et de type N (symboles vides).

De façon identique, l'impact de L_N sur la tension de déclenchement ainsi que sur la tension de maintien est donné sur la Figure 4.16. Nous pouvons constater que pour un dispositif fonctionnel ($L_N \geq 150$ nm), V_{t1} ne varie que très peu et reste autour d'une valeur maximale de 9 V. En effet, la concentration de la base B_N est relativement forte ($N_D > 10^{19}$), occasionnant une faible longueur de diffusion des trous. Ainsi, les trous provenant de l'anode ont une faible probabilité d'atteindre la base B_P (collecteur du PNP) sans se recombiner. Le gain du transistor PNP est donc très faible [Moll 1955]. Il est probable que l'augmentation du gain du transistor PNP, et donc la diminution de V_{t1} , requerrait des dimensions extrêmement courtes. La tension V_H peut, quant à elle, être augmentée de $\Delta V_H \approx 2$ V en allongeant la base B_N de 150 à 500 nm. Ce changement est attribué à l'augmentation de la résistance série ainsi qu'à la réduction du gain des transistors bipolaires avec la distance L_N . Concernant la fuite, une très faible variation est obtenue puisque le dopage élevé de B_N garantit la présence d'une forte barrière du côté de l'anode, tant que L_N est suffisamment grand (ici supérieur à 150 nm).

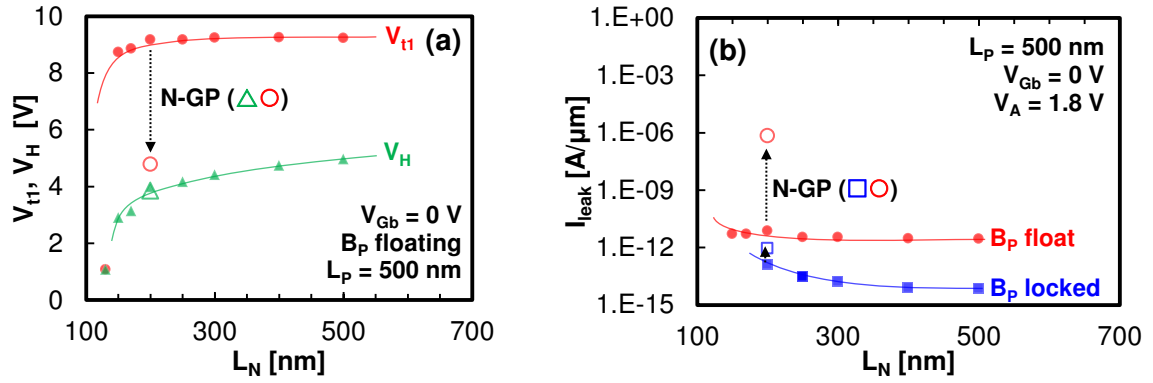


Figure 4.16 : Influence de la longueur L_N du BBC-T sur (a) les tensions de déclenchement et de maintien (extraites à partir de données TLP 100 ns expérimentales) et (b) le courant de fuite (mesures DC), avec $L_P = 500$ nm, pour plan de masse de type P (symboles pleins) et de type N (symboles vides).

4.5. Influence du dopages des bases

Si la modification de la géométrie du BBC-T permet de modifier son déclenchement et sa fuite, l'étude des paramètres du procédé de fabrication est également essentielle pour l'optimisation de son comportement. Nous nous intéressons ici au dopage du film de silicium. D'autres travaux montrent comment le thyristor dans le film SOI peut être affecté par la concentration de son anode [Li 2013]. L'anode est l'émetteur du transistor PNP et son gain ainsi que le déclenchement du SCR sont modifiés par la dose utilisée lors de sa fabrication. Le dopage des bases permet également d'ajuster les caractéristiques électriques du BBC-T, par la modification des caractéristiques de chacun des transistors bipolaires [Zekry 1988]. En effet, en analysant le circuit de la Figure 4.5, le courant d'anode s'exprime [Sze 1981] :

$$I_A = \frac{\alpha_{NPN} \cdot I_{B_P} + I_{S\,PNP} + I_{S\,NPN}}{1 - (\alpha_{NPN} + \alpha_{PNP})}$$

Où I_{B_P} est le courant entrant dans la base du transistor NPN ; $I_{S\,PNP}$ et $I_{S\,NPN}$ sont respectivement les courants de saturation des transistors PNP et NPN ; α_{PNP} et α_{NPN} sont les gains en base commune des PNP et NPN.

Dans l'expression précédente, nous pouvons voir que si le terme $\alpha_{NPN} + \alpha_{PNP}$ se rapproche de un, le dénominateur tend vers zéro. Cela constitue une condition d'instabilité pour le courant I_A , il y a alors déclenchement de la structure. Le gain en émetteur commun du transistor PNP (et similairement pour le PNP) dépend du dopage de la base et s'écrit :

$$\beta_{NPN} = \frac{I_{BN}}{I_{BP}} = \frac{\alpha_{NPN}}{1 - \alpha_{NPN}} = \frac{N_{NE} \cdot L_{NE} \cdot D_{NB}}{N_A \cdot L_{PB} \cdot D_{PE}}$$

avec N_E le dopage de l'émetteur (la cathode) ; L_{NE} la longueur de diffusion des électrons dans l'émetteur ; D_{NB} la constante de diffusion des électrons dans la base ; N_A le dopage de la base ; L_{PB} la longueur de la base et D_{PE} la constante de diffusion des trous dans l'émetteur.

Clairement, cette expression montre que le gain du NPN est inversement proportionnel à la quantité d'impuretés de sa base N_A (N_D pour le PNP). Du point de vue du thyristor, plus la concentration N_A (ou N_D) sera faible, plus le gain α_{NPN} (ou α_{PNP}) sera élevé, et plus la condition $\alpha_{NPN} + \alpha_{PNP} \rightarrow 1$ sera atteinte rapidement. Il en découle une diminution du courant de déclenchement I_{t1} lorsque N_A baisse. En outre, le courant de fuite (I_{leak}) peut être augmenté, comme nous allons le voir, pour certaines concentrations N_A . Dans ces conditions, plus la fuite sera forte, associée à un gain élevé, plus la tension de déclenchement V_{t1} sera diminuée. A l'inverse, un dopage de base permettant un gain moins élevé, associé à une fuite moins grande, devrait assurer un V_{t1} plus grand. Les données expérimentales de la Figure 4.17 montrent la variation de V_{t1} avec N_A . Différentes doses ont été utilisées pour la fabrication du BBC-T, la concentration résultante a été obtenue par simulation TCAD du procédé [Synopsys 2009]. Lorsque la concentration de la base B_P est faible (région non dopée, $N_A \approx 10^{15} \text{ cm}^{-3}$), il est possible d'observer que le plan de masse N-GP diminue drastiquement la tension de déclenchement (extraite à courant constant $I_A = 10 \text{ } \mu\text{A}$) par rapport au P-GP. Le couplage capacitif de B_P sur V_{Gb} est alors efficace, comme discuté dans la partie 4.3. Nous pouvons aussi noter que V_{t1} change peu : $\Delta V_{t1} \leq 0,6 \text{ V}$ pour N_D (la concentration de la base B_N) évoluant sur plus de deux décades. Il est ainsi probable que le NPN associé au NMOS

« face-arrière » soit prédominant dans le mécanisme de déclenchement du BBC-T. Néanmoins, lorsqu'un P-GP est utilisé, nous pouvons voir que l'évolution de V_{t1} n'est pas monotone. D'abord, V_{t1} augmente avec N_D , pour atteindre une tension maximale d'environ 3,2 V autour de $N_D = 3 \cdot 10^{18} \text{ cm}^{-3}$. Cela indique que lorsque le dopage n'est pas trop fort, le gain du transistor PNP diminue avec N_D , augmentant à son tour V_{t1} . Ensuite, V_{t1} diminue pour les fortes concentrations. Il semblerait que cela soit causé par une trop forte diffusion des atomes donneurs dans le film de silicium, causant un contre-dopage de la base B_P . Ce contre-dopage réduirait en réalité la longueur effective de la base B_P , augmentant le phénomène de perçage (fuite à fort V_A) et augmentant son gain (réduction de I_{t1}), ayant pour conséquence une réduction de V_{t1} . Enfin, nous pouvons voir que lorsque la concentration de cette base (N_A) est augmentée, V_{t1} est rétabli à une valeur élevée, malgré l'emploi d'un plan de masse N-GP, probablement car le couplage entre le potentiel de B_P et V_{Gb} est atténué, ainsi que le phénomène de contre-dopage de la base B_P .

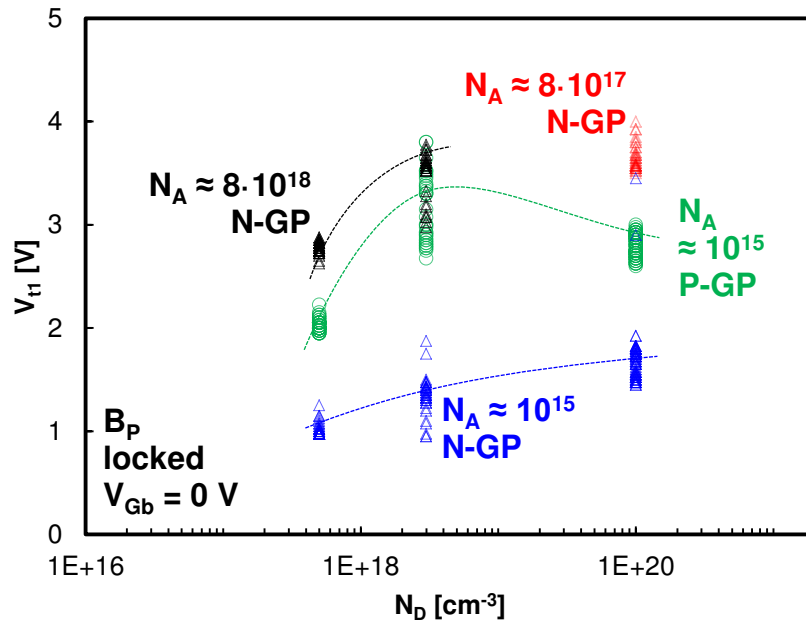


Figure 4.17 : Mesures DC de la tension de déclenchement pour différentes concentrations des bases N et P, pour un BBC-T en technologie 28 nm FD-SOI avec $L_P = L_N = 200 \text{ nm}$.

Pour approfondir l'étude, le courant de fuite pour $I_A = 1 \text{ V}$ a été mesuré. Il est présenté sur la Figure 4.18. Nous pouvons constater qu'une fuite minimale de l'ordre de

200 pA/μm est atteinte lorsque N_D se situe autour de $3 \cdot 10^{18} \text{ cm}^{-3}$ pour une base B_P non dopée et un plan de masse P-GP. Pour les concentrations inférieures, la barrière base-émetteur du PNP ne fournit plus une isolation suffisante pour empêcher un courant de fuite provenant de l'anode. En outre, I_{leak} augmente avec N_D au-delà de $3 \cdot 10^{18} \text{ cm}^{-3}$. Cet accroissement peut être compensé en augmentant la dose de l'implantation de B_P : I_{leak} vaut alors 10 fA/μm pour $N_D = 8 \cdot 10^{17} \text{ cm}^{-3}$. Cela conforte l'hypothèse qu'un fort dopage de B_N se fait au détriment de l'autre base (B_P) et qu'il est possible de rétablir une fuite notablement basse en augmentant N_A . Cela semble confirmer que l'effet du perçage lié à l'augmentation de N_D peut être atténué en dopant légèrement la base B_P . Il apparaît ici évident qu'il existe une concentration optimale permettant d'obtenir un V_{t1} élevé et une fuite très faible : pour un plan de masse de type P et une base P faiblement dopée, $N_D \approx 3 \cdot 10^{18} \text{ cm}^{-3}$.

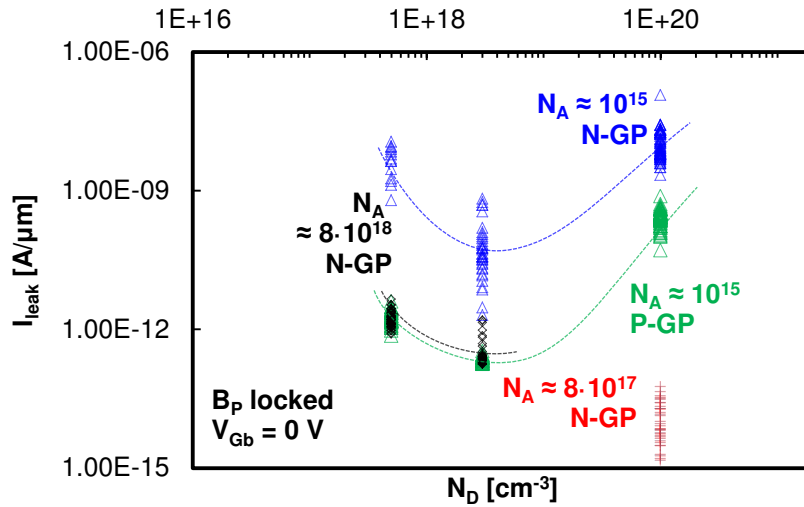


Figure 4.18 : Mesures DC du courant de fuite du BBC-T pour différentes concentrations des bases N et P en technologie 28 nm FD-SOI avec $L_P = L_N = 200 \text{ nm}$.

4.6. Analyse du comportement transitoire du BBC-T

Afin de mieux comprendre le déclenchement du BBC-T durant les premières nanosecondes d'un évènement ESD, nous nous sommes appuyés sur des mesures transitoires VFTCS. Cela est aussi indispensable pour juger de l'efficacité de ce dispositif en tant que protection CDM. Les caractéristiques I_A - V_A de deux géométries du BBC-T sont reportées sur la Figure 4.19. Avant la mise en conduction de la structure (régime quasi statique), une surtension (« overshoot ») apparaît et peut être dommageable pour les transistors protégés, spécialement durant les évènements courts et intenses tels que les décharges CDM. La tension crête (V_{max}) diminue lorsque L_P est raccourci, puisque le temps de transit des charges (le temps nécessaire pour les électrons et les trous pour circuler à travers les bases) dans la base B_P est plus court. Cependant, l'amplitude relative de la surtension (dV) est augmentée pour les structures plus courtes, à cause d'une tension quasi-statique V_0 plus faible. En régime quasi-statique, nous avons précédemment observé un comportement similaire : la différence entre la tension de déclenchement V_{t1} et la tension de maintien V_H était plus importante pour les structures les plus courtes. En outre, un léger abaissement de la tension de déclenchement quasi-statique et de V_{max} est observé lorsque le type de plan de masse est modifié de P vers N. Ceci est expliqué par la différence de travail de sortie et le couplage capacitif à travers l'oxyde enterré.

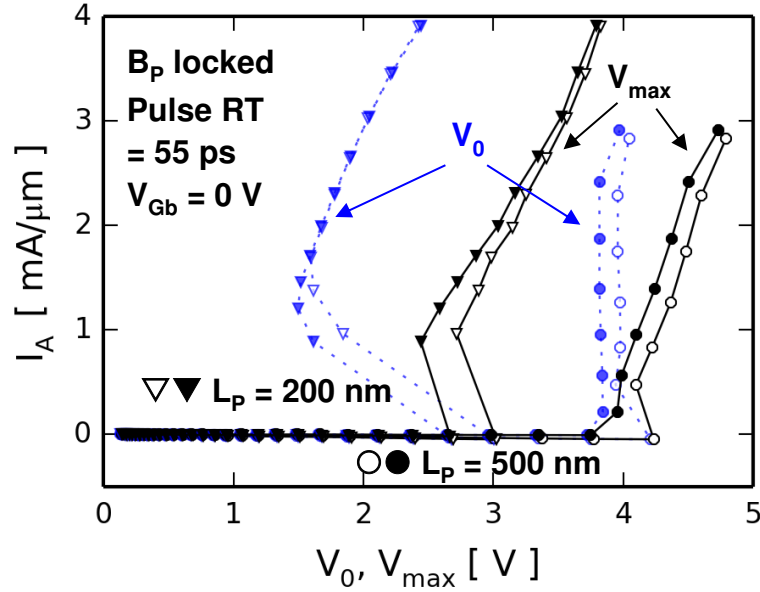


Figure 4.19 : Caractéristiques expérimentales VFTCS I - V_0 (tension quasi statique : pointillés) et I - V_{max} (tension maximale : lignes continues) du BBC-T avec un plan de masse P (symboles vides) et un plan de masse N (symboles pleins).

Le temps de réponse (t_r) est défini sur la forme d'onde $V_A(t)$, en cas de présence d'une surtension, par la durée que met la tension pour passer de 10 % de V_0 à 110 % de V_0 (la tension en régime établi). t_r diminue avec I_A comme noté sur la Figure 4.20. En réalité, un courant d'anode I_A plus élevé correspond à une impulsion de tension V_{pulse} plus importante et ainsi à une valeur de dV/dt plus forte (dt est constant). Cela implique un chargement plus rapide de la base par les porteurs injectés. L'effet le plus important ici est celui de la longueur de base sur le temps de réponse : plus L_P est petit, plus t_r est faible ($t_r \approx 200$ ps à $I_A \approx 2$ mA / μ m pour le dispositif le plus court contre $t_r \approx 500$ ps pour le dispositif le plus long). Cela souligne l'intérêt de fabriquer une protection la plus courte possible. La diminution du temps de transit ainsi permise est bénéfique pour diminuer la surtension, aussi bien en amplitude qu'en durée. Lorsque $I_A > 3$ mA / μ m, la surtension est éliminée en moins de 200 ps pour chacun des dispositifs. C'est une valeur remarquablement faible, comparable aux résultats obtenus en PD-SOI [Li 2012] et très inférieure à celles obtenues avec des thyristors en technologie bulk [Di Sarro 2006], avec une largeur ($L_N + L_P$) comparable : entre 500 ps et 1 ns. Dans le cas du thyristor sur silicium massif, les charges doivent transiter sous les tranchées d'isolation (STI), dans

notre cas, leur trajet est plus court, elles circulent latéralement depuis l'anode vers la cathode, guidées dans le film SOI très fin.

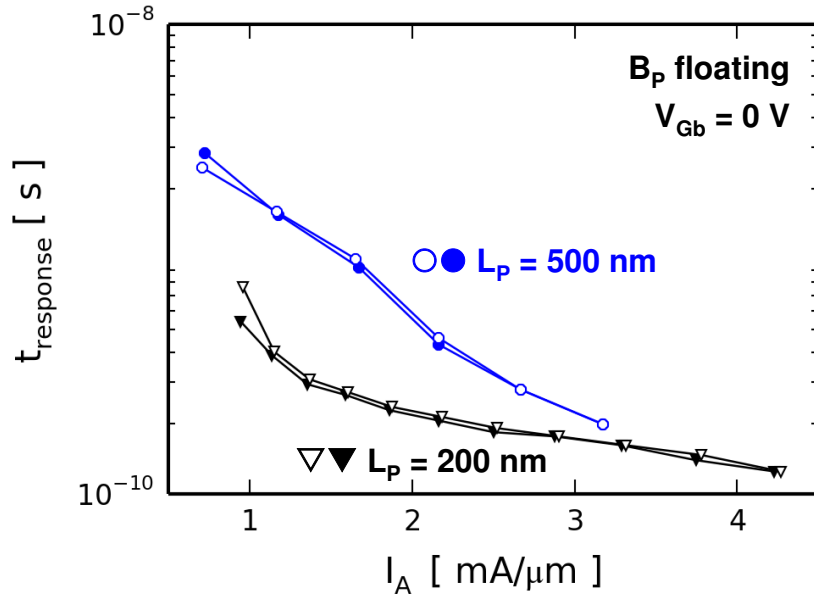


Figure 4.20 : Temps de réponse mesuré (VFTCS) en fonction du courant injecté dans l'anode, pour $I_A > 500$ mA (le dispositif est déclenché), pour un plan de masse P (symboles vides) et pour un plan de masse N (symboles pleins).

L'effet de la polarisation de la grille arrière V_{G_b} sur la réponse transitoire est présenté sur la Figure 4.21. Une atténuation remarquable de la tension crête (V_{max}) est obtenue lorsque V_{G_b} est augmenté, avec un raccourcissement du temps de réponse. Cela est expliqué par l'effet de V_{G_b} sur la charge présente dans la base B_P . En raison de l'augmentation de V_{G_b} , l'état de la région B_P passe d'un régime d'accumulation à un régime d'inversion. En inversion, grâce à la présence du canal d'électrons, les porteurs en provenance de la cathode sont en mesure d'atteindre plus rapidement la base N (B_N). Ce courant d'électrons déclenche à son tour le transistor PNP en polarisant la jonction base émetteur (anode- B_N). Grâce à cette technique, il a été montré que la surtension peut être abaissée d'environ 20 % (pour $L_P = 200$ nm) en utilisant une polarisation V_{G_b} positive ($V_{G_b} = + 2,5$ V). D'un point de vue applicatif, il pourrait ainsi être intéressant de polariser dynamiquement, lors de la détection d'un événement ESD, la tension de grille arrière, afin de limiter la tension vue par les circuits protégés.

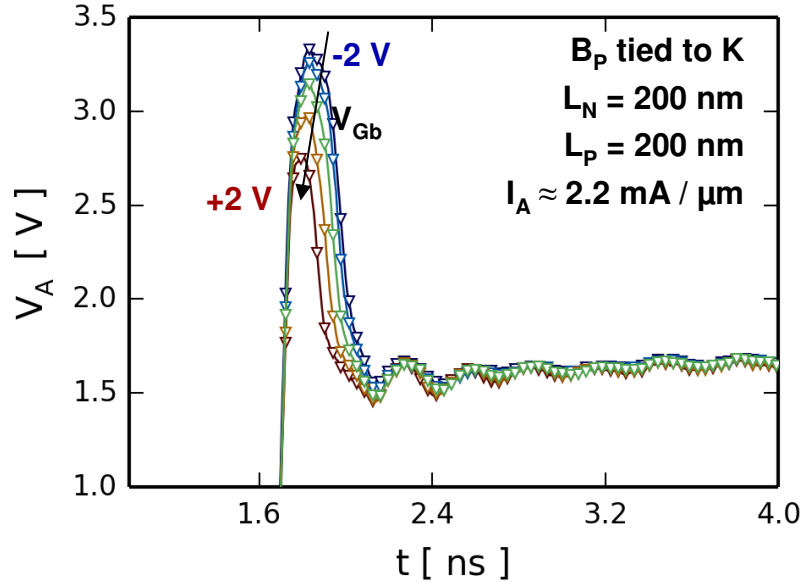


Figure 4.21 : Evolution de la réponse transitoire (mesures VFTCS) du BBC-T pour différentes tensions de face arrière.

4.7. Comportement en température

Il est primordial de valider le fonctionnement de toute protection ESD sur une grande plage de température. L'intérêt est ici de garantir que les spécifications fixées par la fenêtre de conception ESD sont toujours respectées. Sur la Figure 4.22, la dépendance en températures des tensions de déclenchement et du courant de fuite sont tracées. Comme nous pouvons le voir, l'évolution de ces deux grandeurs avec V_{Gb} est similaire quelle que soit la température T . Cependant, nous observons un décalage entre les différents relevés. I_{leak} est augmentée d'une décade lorsque la température passe de 25 °C à 125 °C. Pour le BBC-T avec plan de masse P-GP, et pour $V_{Gb} = 0$ V, I_{leak} vaut 230 fA/μm à la température ambiante et passe à 7,5 pA/μm à $T = 125$ °C. Cette variation est attribuée au courant de fuite de la jonction centrale (B_P/B_N), causé par une augmentation du phénomène de génération-recombinaison avec la température. Concernant le déclenchement, plus T est élevé, plus V_{tl} diminue : V_{tl} passe ainsi de 3,85 V à 3,45 V entre 25 et 125 °C, avec un plan de masse P-GP et $V_{Gb} = 0$ V. Cette diminution est

attribuée à l'augmentation des gains des NPN et PNP avec la température, ainsi qu'à l'augmentation des courants de fuite.

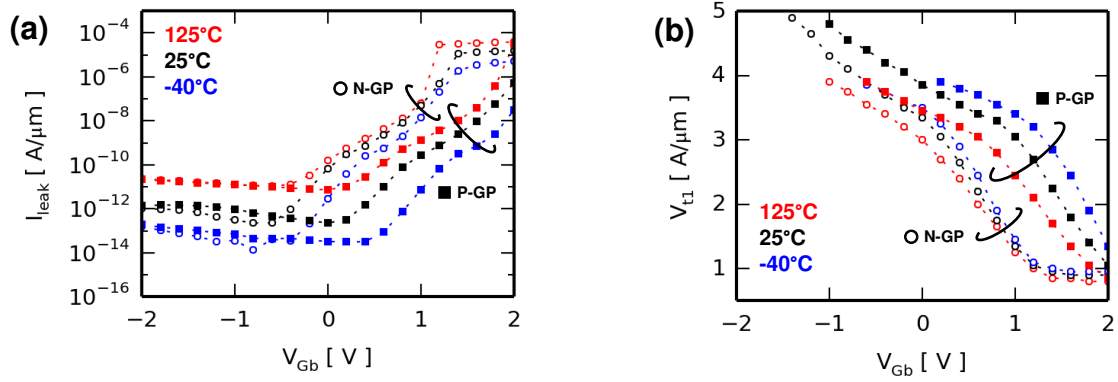


Figure 4.22 : Comportement en température (obtenu à partir de mesures DC) pour des BBC-T avec $L_P = L_N = 200$ nm : (a) du courant de fuite obtenu en fonction de V_{Gb} , (b) de la tension de déclenchement en fonction de V_{Gb} .

4.8. Vers un Thyristor non dopé, contrôlé par deux grilles arrières

Comme nous l'avons vu précédemment, la finesse de l'oxyde enterré ($t_{BOX} = 25$ nm pour la technologie 28 nm FDSOI, et $t_{BOX} = 20$ nm pour la technologie 14 nm FDSOI) permet un contrôle électrostatique très efficace de la face arrière sur le film. Il est possible de supprimer totalement l'implantation de la base N, et de la remplacer par une grille arrière (plan de masse) de type N, localement disposé sous le BOX et à proximité de l'anode. Cette simplification du procédé de fabrication laisse le film de silicium totalement non dopé. Une diode P-I-N latérale sans grille est ainsi obtenue, avec deux plans de masse. Cette nouvelle structure, montrée sur la Figure 4.23, du fait de la présence de ces deux grilles arrières, peut avoir une caractéristique I_A-V_A bloquée, s'éloignant de celle d'une diode classique.

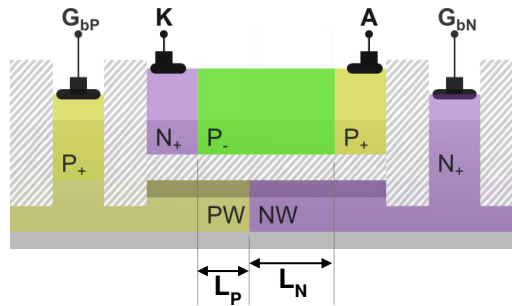


Figure 4.23 : Vue en coupe du (DW) BBC-T en technologie FDSOI.

Dans cette configuration, le film de silicium reste très peu dopé ($N_{A,D} < 1 \cdot 10^{17} \text{ cm}^{-3}$), contrairement aux structures de thyristors classiques ([Entringer 2006], [Jozwiak 2005], [Salman 2007]). Deux caissons adjacents (PW et NW) sont implantés sous le BOX, ainsi que deux plans de masse (« ground planes »). Le dessin des masques (layout) du (DW) BBC-T (« Double Well » BBC-T) est comparé à celui du thyristor latéral standard en SOI (STD) BBC-T sur la Figure 4.24 :. D'une part, l'implantation locale et surfacique permettant de réaliser la base du PNP dans le cas du thyristor est remplacée par un NW (implantation profonde, sous le BOX). D'autre part, les prises latérales de contrôle des bases des PNP et NPN peuvent être supprimées, occasionnant un gain en encombrement surfacique d'environ 20 %.

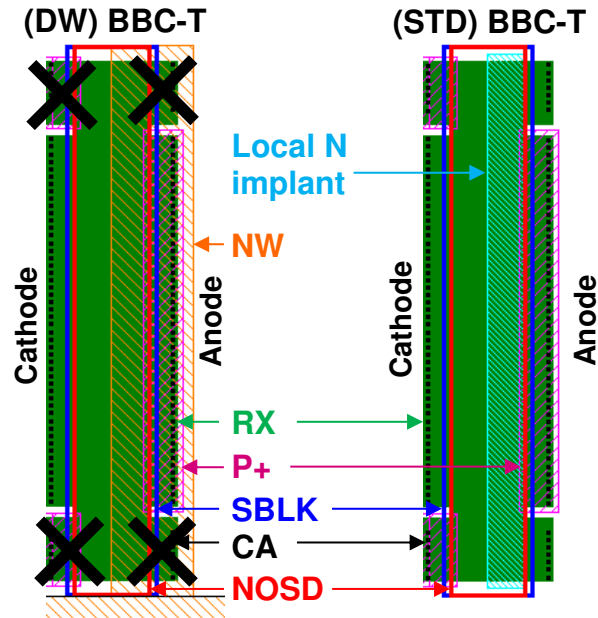


Figure 4.24 : Illustration des différences entre le dessin des masques d'un (DW) BBC-T et d'un BBC-T standard.

Les plans de masse sont fortement dopés, afin d'empêcher tout dépeuplement de l'interface substrat-BOX. Ils jouent le rôle de grilles arrières de commande. En effet, grâce à l'épaisseur fine du BOX ($t_{\text{BOX}} \leq 25 \text{ nm}$), le couplage capacitif entre l'interface BOX-SOI et les plans de masse est fort. Ainsi :

- L'électrode G_{bN} , reliée au caisson NW, associé au plan de masse N (N-GP) permet de contrôler le potentiel électrostatique de la partie intrinsèque du film, à proximité de l'anode (A).
- L'électrode G_{bP} , reliée au caisson PW, associé au plan de masse P (P-GP) permet de contrôler le potentiel électrostatique de la partie intrinsèque du film, à proximité de la cathode (K).

La polarisation de ces deux électrodes permet de contrôler les caractéristiques statiques du dispositif. En effet, lorsque V_{GbN} est polarisée à une valeur positive, suffisamment élevée pour créer une couche d'inversion, une barrière est créée, empêchant l'injection de trous depuis l'anode. Similairement, V_{GbP} doit être à une tension suffisamment faible pour empêcher l'injection d'électrons depuis la cathode. La structure

émule alors un agencement PNPN latéral, comme dans [Raissi 1996], [Salman 2006], [Solaro 2013], [Wan 2012].

Nous résumons sur la Figure 4.25 les modes de fonctionnement du dispositif. Le mode « ON » est défini lorsqu’une des deux barrières est abaissée, la structure est alors similaire à une diode (de l’anode vers la cathode : PNNN ou PPPN). Le mode « OFF » est obtenu lorsque les deux barrières sont présentes et empêchent le passage du courant jusqu’à V_{t1} . La structure est alors similaire à un thyristor : PNPN.

- ON : C’est le mode ESD dans lequel le dispositif se comporte comme une diode, il est passant dès $V_A > 0,6$ V.
- OFF : Mode éteint, la tension de déclenchement du dispositif est réglée, au premier ordre, par V_{GbN} .
- OFF* : Mode très faible fuite, la barrière d’injection coté cathode est renforcée par $V_{GbP} < 0$ V.
- f : Mode “forbidden” (interdit) la diode substrat entre les deux grilles est passante.

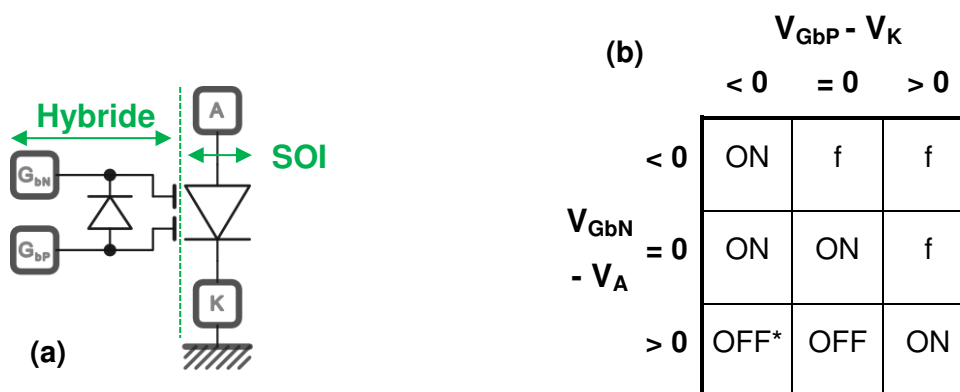


Figure 4.25 : (a) Schéma électrique équivalent du (DW) BBC-T, (b) table de vérité résumant les modes de fonctionnement du (DW) BBC-T, en fonction des tensions de polarisation en face arrière.

Pour valider ce concept, la structure a été fabriquée et caractérisée en technologie 28 nm FDSOI. Une tension de déclenchement augmentée linéairement avec la tension appliquée sur le plan de masse N (V_{GbN}) a été observée, associée à une commutation

remarquablement abrupte. De plus, un courant de fuite extrêmement faible ($I_{\text{leak}} < 1 \text{ fA} / \mu\text{m}$), comme nous pouvons le voir sur la Figure 4.26.

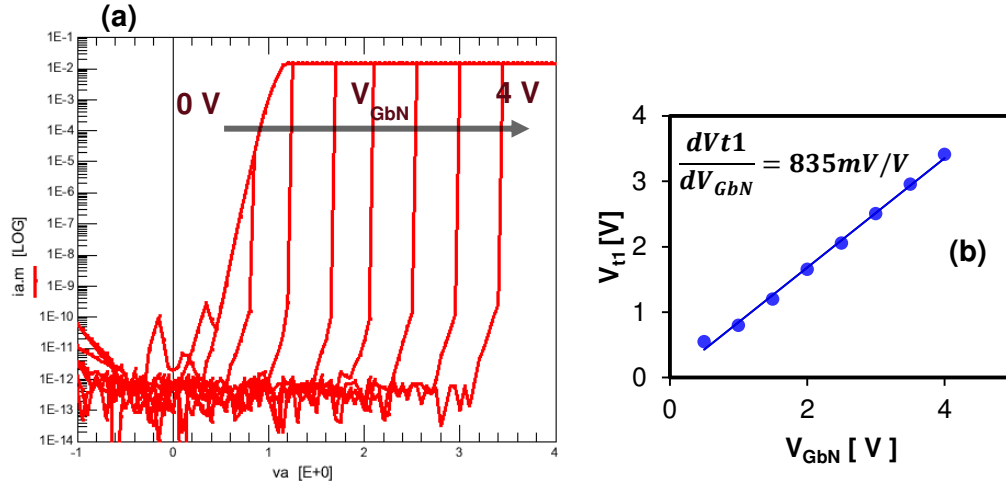


Figure 4.26 : Caractéristique électrique I_A - V_A expérimentale du (DW) BBC-T en technologie FDSOI 28 nm, pour $L_N = L_P = 650 \text{ nm}$, $W = 100 \mu\text{m}$ et $V_{G_{bP}} = 0 \text{ V}$: (a) caractéristique de sortie I_A - V_A et (b) évolution de la tension de seuil avec $V_{G_{bN}}$.

Pour anticiper la fabrication du DW-BBC-T en technologie 14 nm, des simulations TCAD ont été effectuées. Dans ce cas, dans la partie où le film de silicium n'est pas épitaxié, son épaisseur finale est de $t_{\text{si}} = 7 \text{ nm}$. Par ailleurs, l'oxyde enterré a une épaisseur $t_{\text{BOX}} = 20 \text{ nm}$. Nous constatons sur la caractéristique I_A - V_A de la Figure 4.27 que le déclenchement de la structure se produit de manière beaucoup moins abrupte. Cela s'explique certainement par une diminution de la durée de vie effective des porteurs, causée par les recombinaisons de surface devenant prépondérantes lorsque t_{si} est diminué [Schroder 2006]. En conséquence, la contre-réaction entre les deux barrières d'injection est limitée et la pente dI_A/dV_A est plus faible. En complément, C_{BOX} est augmenté de 20 %, et t_{si} est grandement réduit. Grâce à cela, le coefficient de couplage $dV_{t1}/dV_{G_{bN}}$ est renforcé et prend une valeur de 960 mV/V, confirmant une possible amélioration du contrôle électrostatique du canal par la face arrière. Finalement, ces structures ont été dessinées en technologie 14 nm, ouvrant la voie à des caractérisations électriques futures.

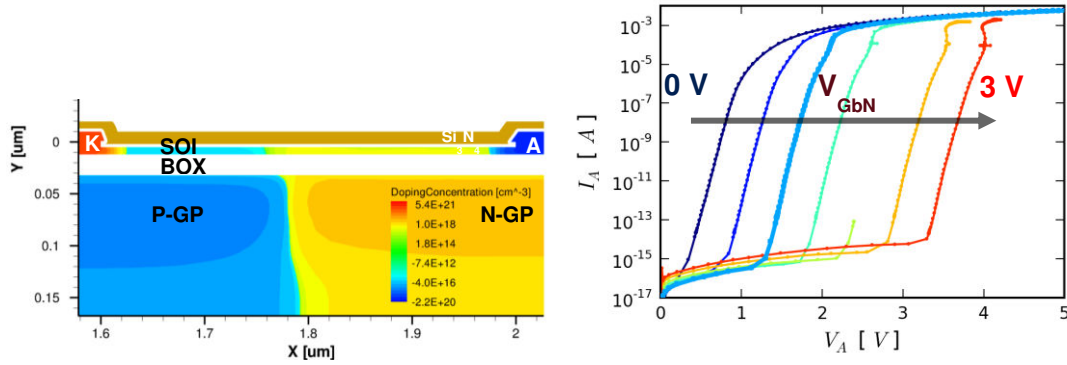


Figure 4.27 : Simulation du (DW) BBC-T en technologie 14 nm FD-SOI, pour $W = 1 \mu\text{m}$, $L_P = L_N = 200 \text{ nm}$, $t_{\text{BOX}} = 20 \text{ nm}$, $t_{\text{Si}} = 7 \text{ nm}$.

4.9 Conclusions

Dans cette partie, un thyristor latéral sans grille, réalisé en technologie FDSOI et dédié à des applications ESD a été étudié expérimentalement : le BBC-T. Les performances du dispositif ont été analysées en statique (déclenchement, courant de fuite), quasi-statique (courant maximum) et transitoire (temps de réponse, surtension). Par ailleurs, nous nous sommes intéressés à l'impact de différents paramètres de conception tels que les longueurs de base, ainsi qu'à l'impact du type d'implantation de la grille arrière (caisson et plan de masse) et de la concentration des deux bases. Le comportement de ce dispositif peut être finement contrôlé grâce à la modification du potentiel électrostatique des bases permis par la tension de grille arrière V_{Gb} . Nous avons montré que le BBC-T peut être utilisé en tant que protection ESD locale pour différentes applications: $V_{\text{dd}} = 1 \text{ V}$, mais aussi des tensions plus élevées grâce à l'adaptabilité de ses tensions de déclenchement (V_{tl}) et de maintien (V_{h}). En conclusion, le BBC-T constitue un excellent candidat, de par ses performances et sa simplicité d'utilisation (aucune polarisation n'est nécessaire pour obtenir un fonctionnement transparent) en tant qu'élément de protection ESD pour les technologies FDSOI.

4.9. Bibliographie

- [Benoist 2010] T. Benoist, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, and P. Gentil, “ESD robustness of FDSOI gated diode for ESD network design: Thin or thick BOX?,” in SOI Conference (SOI), 2010 IEEE International, 2010, pp. 1–2.
- [Benoist 2011] T. Benoist, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, and P. Gentil, “Experimental investigation of ESD design window for fully depleted SOI N-MOSFETs,” *Microelectron. Eng.*, vol. 88, no. 7, pp. 1276–1279, 2011.
- [Cao 2011] S. Cao, J.-H. Chun, A. A. Salman, S. G. Beebe, and R. W. Dutton, “Gate-controlled field-effect diodes and silicon-controlled rectifier for charged-device model ESD protection in advanced SOI technology,” *Microelectron. Reliab.*, vol. 51, no. 4, pp. 756–764, 2011.
- [Colinge 1986] J. P. Colinge and F. A. Bf, “Half-micrometre-base lateral bipolar transistors made in thin silicon-on-insulator films,” *Electron. Lett.*, vol. 22, no. 17, pp. 886–887, 1986.
- [Colinge 1987] J.-P. Colinge, “An SOI voltage-controlled bipolar-MOS device,” *Electron Devices, IEEE Trans.*, vol. 34, no. 4, pp. 845–849, 1987.
- [Entringer 2006] C. Entringer, P. Flatresse, P. Galy, F. Azais, and P. Nouet, “Partially Depleted SOI body-contacted MOSFET-triggered silicon controlled rectifier for ESD protection,” in *Electrical Overstress/Electrostatic Discharge Symposium*, 2006. EOS/ESD ’06., 2006, pp. 166–171.
- [Ghibaudo 1988] G. Ghibaudo, “New method for the extraction of MOSFET parameters,” *Electron. Lett.*, vol. 24, no. 9, pp. 543–545, 1988.
- [Jozwiak 2005] P. C. Jozwiak, J. Armer, K. G. M. Verhaege, B. Van Camp, G. Vermont, and O. Marichal, “Low Voltage SCR For Electrostatic Discharge (ESD) Protection of Silicon-On-Insulator Technologies,” US20050212051, 2005.
- [Li 2012] J. Li, J. Di Sarro, and R. Gauthier, “Design and optimization of SCR devices for on-chip ESD protection in advanced SOI CMOS technologies,” in *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012 34th, 2012, pp. 1–7.

- [Li 2013] J. Li, J. Di Sarro, Y. Li, and R. Gauthier, "Investigation of SOI SCR Triggering and Current Sustaining under DC and TLP Conditions," in *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013 35th, 2013, pp. 1–6.
- [Marichal 2005] O. Marichal, G. Wybo, B. Van Camp, P. Vanysacker, and B. Keppens, "SCR based ESD protection in nanometer SOI technologies," in *Electrical Overstress/Electrostatic Discharge Symposium, 2005. EOS/ESD '05.*, 2005, pp. 1–8.
- [Mertens 2013] R. Mertens and E. Rosenbaum, "A physics-based compact model for SCR devices used in ESD protection circuit," in *2013 IEEE International Reliability Physics Symposium (IRPS)*, 2013, pp. 2B.2.1–2B.2.7.
- [Moll 1955] J. L. Moll, "Junction transistor electronics," in *Proceedings of the IRE*, 1955, vol. 40, no. 12, pp. 1327–1337.
- [Planes 2012] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Beranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, "28nm FDSOI technology platform for high-speed low-voltage digital applications," in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, pp. 133–134.
- [Raissi 1996] F. Raissi, "A brief analysis of the field effect diode and breakdown transistor," *Electron Devices, IEEE Trans.*, vol. 43, no. 2, pp. 362–365, 1996.
- [Romanescu 2011] A. Romanescu, H. Beckirch-Ros, P. Fonteneau, C.-A. Legrand, P. Ferrari, and J.-D. Arnould, "Scalable modeling studies on the SCR ESD protection device." In *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2011 33rd, pp. 1–8, 2011.
- [Salman 2006] A. A. Salman, S. G. Beebe, M. Emam, M. M. Pelella, and D. E. Ioannou, "Field Effect Diode (FED): A novel device for ESD protection in deep sub-micron SOI technologies," in *Electron Devices Meeting, 2006. IEDM '06. International*, 2006, pp. 1–4.
- [Salman 2007] A. A. Salman, S. G. Beebe, and M. M. Pelella, "Double well field effect diode: Lateral SCR-like device for ESD protection of I/Os in deep sub micron SOI," in *29th Electrical*

- Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD, 2007, vol. 1, pp. 3A.4–1 –3A.4–7.
- [Di Sarro 2006] J. Di Sarro, K. Chatty, R. Gauthier, E. Rosenbaum, and J. Di Sarro, “Study of Design Factors Affecting Turn-on Time of Silicon Controlled Rectifiers (SCRs) in 90 and 65nm Bulk CMOS Technologies,” in Reliability Physics Symposium Proceedings, 2006. 44th Annual., IEEE International, 2006, pp. 163–168.
- [Schroder 2006] D. K. Schroder, Semiconductor Material and Device Characterization. 2006, p. 800.
- [Solaro 2013] Y. Solaro, P. Fonteneau, C. Legrand, D. Marin-cudraz, J. Passieux, P. Guyader, L. Clement, C. Fenouillet-beranger, P. Ferrari, and S. Cristoloveanu, “Innovative ESD Protections for UTBB FD-SOI Technology,” in Electron Devices Meeting (IEDM), 2013 IEEE International, 2013, pp. 180–183.
- [Synopsys 2009] Synopsys, “Sentaurus Device User Guide Version C-2009.06.” 2009.
- [Sze 1981] S. M. Sze, Physics of Semiconductor Devices, 2nd Ed. Wiley, 1981.
- [Wan 2012] J. Wan, C. Le Royer, A. Zaslavsky, and S. Cristoloveanu, “Z2-FET used as 1-transistor high-speed DRAM,” in Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European, 2012, pp. 197–200.
- [Zekry 1988] A. Zekry and W. Gerlach, “Reduction of the current gain of the n-p-n transistor component of a thyristor due to the doping concentration of the p-base,” IEEE Trans. Electron Devices, vol. 35, no. 3, pp. 365–372, 1988.

Conclusions

Les études présentées dans cette thèse se sont concentrées sur le développement de nouveaux éléments de protection ESD pour des technologies CMOS avancées à base de Silicium sur Isolant (SOI). Du fait de la réduction des dimensions des dispositifs ainsi que de l'accroissement des performances des circuits électroniques, des évolutions au niveau de l'architecture des transistors sont nécessaires afin de garantir leur intégrité électrostatique. Ainsi, de nouveaux choix technologiques sont apparus depuis le nœud 28 nm : certains industriels se sont tournés vers des topologies « 3D » de type FinFET, d'autres vers des topologies planaires, employant le FDSOI (Silicium sur Isolant Totalement Déserté). Les technologies FDSOI mettent en jeu une conduction de courant dans des films semi-conducteurs extrêmement minces. La sensibilité des transistors contre les décharges électrostatiques reste donc un défi à relever, et les contraintes pour la conception de protections efficaces deviennent de plus en plus sévères.

Dans ce contexte, différentes approches sont possibles afin d'assurer une protection robuste contre les événements destructeurs que constituent les ESD. Ces travaux se sont focalisés sur le développement et l'analyse de composants de protection locaux permettant d'évacuer les décharges directement entre le plot d'entrée/sortie et la masse, et fabriqués dans le film ultra fin de silicium. Cette approche avait auparavant été utilisée pour des technologies plus épaisses, dites partiellement désertées (PDSOI), mais nous avons rapporté ici les premiers résultats concernant de nouvelles structures (autres que les

traditionnels MOSFETs et diodes) ultra fines : la couche active de silicium est épaisse de moins de 10 nm. Deux solutions originales ont été implémentées, pouvant répondre à des stratégies de protection différentes. La première repose sur le Z²-FET, un dispositif « Normally On » qui nécessite une polarisation de grille afin d'être transparent lors du fonctionnement normal du circuit à protéger. Son fonctionnement a d'abord été étudié par simulations TCAD afin d'évaluer son portage en technologie FDSOI, et de comprendre les paramètres essentiels permettant d'optimiser son comportement. Le second, le BBC-T, est lui au contraire « Normally Off », donc transparent sans apport de polarisation extérieure.

Ces deux protections, complètement compatibles avec l'intégration FDSOI, ont ensuite été réalisées en utilisant les procédés de fabrication standards 28 nm et 14 nm FDSOI. Des caractérisations TLP ont été effectuées et ont permis de démontrer d'excellentes performances en termes de robustesse face aux forts courants de décharge. Par ailleurs, des caractérisations statiques ont confirmé les prédictions basées sur les simulations, au niveau des courants de fuite ainsi que des tensions de déclenchement. Concernant le Z²-FET, la tension de déclenchement peut être ajustée à l'application souhaitée, grâce à la polarisation présente sur la grille avant, lors du fonctionnement normal du circuit. Le déclenchement du BBC-T, quant à lui, peut être modulé grâce à la tension de face arrière, cela étant permis par le fort couplage électrostatique à travers la couche d'oxyde enterré (BOX). L'influence des paramètres importants sur les caractéristiques du BBC-T, tels que la longueur des bases, a également été étudiée et permet d'adapter le dispositif à différentes fenêtres de conception. Les performances de ces différentes structures ont, par la suite, été comparées à d'autres dispositifs de la littérature. Il est apparu qu'il peut être judicieux de les employer non seulement en tant que composants de puissance, mais également en tant qu'éléments de déclenchement, permettant d'améliorer le comportement d'un thyristor « classique », sur silicium massif par exemple. Les résultats obtenus avec ces différents composants sont résumés dans le Tableau 1, et comparés face à des dispositifs standards (GG-NMOS).

Tableau 1: Comparatif de différents composants de protection ESD fabriqués en technologie 28 nm FDSOI

Dispositif SOI	Paramètres de conception et du procédé	I_{leak} [A/ μ m]	V_{t1} [V]	$I_{@2.6V}$ [mA/ μ m]	I_{t2} [mA / μ m]
GG-NMOS (SOI)	EOT = 35Å, L_G = 100 nm	$8 \cdot 10^{-15}$	> 3.6	0	2.5
GG-NMOS (SOI)	EOT = 14Å, L_G = 100 nm	$1.2 \cdot 10^{-9}$	> 2.6	0	1.9
FED	$V_{Gf} = 1$ V, $V_{Gb} = 0$ V $2 \cdot L_G = 400$ nm	$1 \cdot 10^{-14}$	1.1 to 2.6	1.5	3.9
Z ² FET	$V_{Gb} = -2$ V, $V_{Gf} = 1.5$ V $L_G + L_{int} = 400$ nm	$2 \cdot 10^{-15}$	1.1 to 2.6	2.8	4.6
Z ² -FET “OPT”	$V_{Gb} = 0$ V; $V_{Gf} = 1$ V $L_G + L_{int} = 220$ nm	$1.4 \cdot 10^{-12}$	1.1 to 2.6	1.5	4.6
BBC-T	“B _p & B _N float.” $V_{Gb} = 0$ V, $L_{AC} = 400$ nm	$5.1 \cdot 10^{-11}$	1.1 to 2.6	3.2	5.4
BBC-T	“B _p locked” $V_{Gb} = 0$ V, $L_{AC} = 400$ nm	$2.2 \cdot 10^{-13}$	1.1 to 2.6	2.3	5.3

Un troisième composant de protection, le DW-BBCT, a par la suite été proposé. Il s’agit d’une structure innovante, ne nécessitant ni grille avant, ni implantation de base, et présentant d’excellentes propriétés électriques (déclenchement très abrupt, fuite très faible...).

Durant ces travaux de thèse, une attention toute particulière a été portée sur le développement de dispositifs certes innovants, mais restant totalement compatibles avec les plateformes technologiques 28 nm et 14 nm FDSOI, afin d’en limiter le coût. De ce fait, aucune modification majeure n’est requise sur le procédé de fabrication standard

pour garantir le fonctionnement de ces nouvelles structures de protection. Nous avons cependant étudié l'influence de certains paramètres du procédé tels que les doses d'implantation ou les épaisseurs des couches d'oxyde enterré et de silicium dans le but de permettre un comportement optimisé et d'anticiper le développement des nœuds technologiques futurs.

De surcroît, lors d'un événement ESD, la tension aux bornes du circuit doit être limitée, et ce même durant les premiers instants de la décharge. Cela est particulièrement vrai pour le modèle CDM, mettant en jeu des courants élevés sur des temps très courts (quelques nanosecondes). Généralement, une surtension est observée aux bornes de la protection et doit être limitée. D'une part, nous avons observé que les dispositifs SOI étudiés, de par leur chemin de conduction simplifié (latéral), engendrent une faible surtension et présentent un temps de réponse court, de l'ordre de la centaine de picosecondes. D'autre part, nous avons montré que ces grandeurs transitoires peuvent être encore améliorées en ajustant les tensions de grilles avant et arrière, ce qui constitue un levier supplémentaire et donc une approche originale. Cela ouvre une perspective vers de nouvelles protections présentant un très bon comportement dynamique utilisant un circuit de détection d'ESD polarisant les grilles.

Finalement, des pistes intéressantes relatives à la compréhension et à l'industrialisation du BBC-T et du Z²-FET restent à explorer. Tout d'abord, une modélisation compacte des régimes faible et fort courants de ces dispositifs est nécessaire. Cela vise à faciliter leur adoption et leur implémentation par les concepteurs dans les circuits d'entrées/sorties. Ensuite, comme les protections peuvent être placées sur le trajet de signaux rapides ou à hautes fréquences (plusieurs dizaines de GHz), leur transparence et, principalement, le compromis entre la charge capacitive et la robustesse, doivent être analysés, éventuellement optimisés, puis modélisés. Le comportement thermique doit être étudié en détail. Il impacte fortement le régime fort courant, la résistance à l'état passant et le courant de défaillance des protections, à travers notamment des effets d'auto-échauffement. D'autre part, certains aspects tels que l'influence de nouveaux matériaux composant le canal (Silicium-Germanium, III-V...)

doivent encore être étudiés. Ils seront considérés dans les technologies avancées à court et moyen terme (14 nm, 10 nm, 7 nm...). Nous pouvons également nous poser la question de la validité et de la portabilité des composants proposés ici vers des architectures non planaires telles que le FinFET ou les nanofils de silicium.

En résumé, les travaux de cette thèse constituent un apport dans la conception et la caractérisation de protections ESD dans des films semi-conducteurs ultra minces disposés sur un oxyde enterré fin (technologies UTBB). Les dispositifs étudiés sont novateurs et constituent une alternative intéressante et efficace aux structures utilisées industriellement. Ils devraient permettre à court terme plus de flexibilité quant à la conception de circuits robustes face aux décharges électrostatiques, ouvrant également des perspectives de développement à moyen terme.

Publications de l'auteur

Article de journal

Y. Solaro, J. Wan, P. Fonteneau, C. Fenouillet-Beranger, C. Le Royer, A. Zaslavsky, P. Ferrari, and S. Cristoloveanu, "Z²-FET: A promising FDSOI device for ESD protection," *Solid. State. Electron.*, vol. 97, pp. 23–29, Jul. 2014.

Articles de conférences internationales

Y. Solaro, J. Wan, P. Fonteneau, C. Fenouillet-Beranger, C. Le Royer, A. Zaslavsky, P. Ferrari, and S. Cristoloveanu, "Z²-FET as a novel FDSOI ESD protection device", EuroSOI Workshop, Paris, France, 22-23 Jan. 2013.

Y. Solaro, P. Fonteneau, C.-A. Legrand, C. Fenouillet-Beranger, P. Ferrari, and S. Cristoloveanu, "Novel Back-Biased UTBB Lateral SCR for FDSOI ESD Protections", 43th European Solid State Device Research Conference, ESSDERC 2013, Bucarest, Romania, Sept. 16-20, 2013.

Y. Solaro, P. Fonteneau, C.-A. Legrand, D. Marin-Cudraz, J. Passieux, P. Guyader, L.-R. Clement, C. Fenouillet-Beranger, P. Ferrari, and S. Cristoloveanu, "Innovative ESD Protections for UTBB FD-SOI Technology", International Electron Device meeting, IEDM 2013, Washington DC, United States, Dec. 9-11, 2013.

Y. Solaro, P. Fonteneau, C.-A. Legrand, C. Fenouillet-Beranger, P. Ferrari, and S. Cristoloveanu, "Z²-FET based ESD protections: innovative local clamps for UTBB FD-SOI Technology", Workshop on Frontier Electronics, WOFE 2013, San Juan, Puerto Rico, Dec. 17-20, 2013.

Y. Solaro, P. Fonteneau, C.-A. Legrand, D. Marin-Cudraz, J. Passieux, P. Guyader, L.-R. Clement, C. Fenouillet-Beranger, P. Ferrari, and S. Cristoloveanu, "Thin-body ESD protections in 28nm UTBB-FDSOI: From static to transient behavior", EOS/ESD, Tucson, 2014

Article de conférence nationale

Y. Solaro "Un nouveau dispositif de protection contre les décharges électrostatiques en technologie FD-SOI: le Z²-FET", JNRDM (Grenoble), 2013.

Brevet :

« Circuit intégré sur SOI muni d'un dispositif de protection contre les décharges électrostatiques », Yohann SOLARO, Pascal FONTENEAU, Claire FENOUILLET-BERANGER, Sorin CRISTOLOVEANU, #82272906(13-GR4-0114FR01), 2013, déposé

Résumé

L'architecture FDSOI (silicium sur isolant totalement déserté) permet une amélioration significative du comportement électrostatique des transistors MOSFETs pour les technologies avancées et est employée industriellement à partir du nœud 28 nm. L'implémentation de protections contre les décharges électrostatiques (ESD pour « Electro Static Discharge ») dans ces technologies reste un défi. Alors que l'approche standard repose sur l'hybridation du substrat SOI (gravure de l'oxyde enterré : BOX) permettant de fabriquer des dispositifs de puissance verticaux, nous nous intéressons ici à des structures dans lesquelles la conduction s'effectue latéralement, dans le film de silicium. Dans ces travaux, des approches alternatives utilisant des dispositifs innovants (Z^2 -FET et BBC-T) sont proposées. Leurs caractéristiques statiques, quasi-statiques et transitoires sont étudiées, par le biais de simulations TCAD et de caractérisations électriques.

Mots Clés

FDSOI, protections, ESD, caractérisations électriques, TLP, CMOS avancé

Abstract

FDSOI architecture (Fully Depleted Silicon On Insulator) allows a significant improvement of the electrostatic behavior of the MOSFETs transistors for the advanced technologies. It is industrially employed from the 28 nm node. However, the implementation of ESD (Electrostatic Discharges) protections in these technologies is still a challenge. While the standard approach relies on SOI substrate hybridization (by etching the BOX (buried oxide)), allowing to fabricate vertical power devices, we focus here on structures where the current flows laterally, in the silicon film. In this work, alternative approaches using innovative devices (Z^2 -FET and BBC-T) are proposed. Their static, quasi-static and transient characteristics are studied in detail, with TCAD simulations and electrical characterizations.

Keywords

FDSOI, protections, ESD, electrical characterization, TLP, advanced CMOS